



# RC7222-A2

多功能以太网转换器

用户手册

**V2.11**

**2010.07**

## 版权声明

本档的全部版权归润光泰力公司所有，内容如有变更恕不另行通知。文中内容适于本公司雇员、代理商以及客户在使用相关产品时阅读。未经本公司书面允许，禁止任何团体和个人拷贝、翻印本档。

## 版本记录

版本编号	日期	更改说明
V1.0	2005-01-30	文档创建。 <b>本文档适用于 RC7222</b>
V1.1	2005-09-20	<p>1、原文档的 23 页，删除表 3.2.2。</p> <p>2、原文档中管脚 119，名称由 STBUS_PLUSO，改为 STBUS_PULSEO。</p> <p>3、原文档的37页，4.6.3节中“和网管寄存器04H 的<del>bit1-0</del> bit3-1”。</p> <p>4、原文档的 37 页“建议 ADDR_FILTERI 与以太网 PHY 芯片的全/半双工指示管脚连接”描述不全面，改为“建议使用 PHY 芯片输出的固定电平的信号（半双工指示或 10M 速率指示）连接 RC7222 的 ADDR_FILTERI 管脚”。</p> <p>5、原文档 46 页，4.13.1 节修改对 TEST3_LED0、TEST4_LED0 的功能描述。</p> <p>6、原文档 49 页，表 5.1.2.3，对指令类型的描述“<del>00H</del>02H：查询 RC7222”。</p> <p>7、原文档 49 页，表 5.1.2.3，对配置数据的描述“如果配置 RC7222 内部寄存器，只有字节 <del>98</del> 有效；配置 PHY 的 MDIO 寄存器，字节 <del>9</del>、<del>118</del>、10 有效，其中 <del>9</del> 8 为高字节”。</p> <p>8、原文档表5.4.1中04H的bit2，将名称MAC_FULL改为 DUPLEX_MOD。</p> <p>9、原文档60页，表5.4.6对53H-56H的带宽对应顺序描述颠倒了，“对07H 至0AH 的配置，53H 对应07H，56H 对应0AH”改为“对0AH至07H的配置，53H对应0AH，56H对应07H”。</p> <p>10、增加了与 SDRAM 兼容型号的提示。</p>
V1.20	2005-12-22	<p>1、网管寄存器 06H 改为不允许被配置。要求不写入 52H 和 59H。</p> <p>2、更改了 Uart 查询和设置指令帧格式，将表 5.1.2.1 和表 5.1.2.3 中 REGAddr 的排列顺序进行了颠倒。</p> <p>3、更改 P121 UART_DO/SDA 管脚属性，该管脚不是三态。</p> <p>4、将表 5.4.1 中“从 REG07 最高比特 7 至 REG10 最低比特 0”的描述改称为“从 07H 最高比特 7 至 0AH 最低比特 0”。</p> <p>5、将 State_Alarm0、State_Alarm1、State_Alarm2、State_Alarm3 命名改为 Status_Alarm0、Status_Alarm1、Status_Alarm2、Status_Alarm3。</p> <p>6、在 4.5.1 节增加了对 sdram 型号支持的说明。</p>
V1.21	2007-09-19	<p>1.更新管脚排列图</p> <p>2.修改 5.6 章节和 5.7 章节的内容</p>
<b>注意：V2.00 以上版本适用于 RC7222-A1 芯片</b>		
V2.00	2009-06-01	文档创建。 <b>本文档适用于 RC7222-A1</b>
V2.01	2009-06-18	增加 RJ017 帧格式描述
V2.02	2009-11-04	<p>1.修改书签显示错误；</p> <p>2.将各图中环回方向进行精确描述</p>

		3.修改通过 I2C 接口访问 PHY 的指令
注意: V2.10 以上版本适用于 RC7222-A2 芯片		
V2.10	2010-07-01	1.增加 SSI 接口描述; 2.增加 GFP 封装描述;
V2.11	2010-07-20	1. 章节整理, 文字错误整理;

## 目 录

<b>1.概述</b> .....	<b>7</b>
<b>2.特点</b> .....	<b>7</b>
<b>3.管脚描述</b> .....	<b>9</b>
3.1 管脚排列图.....	9
3.2 管脚描述.....	9
<b>4.功能模块描述</b> .....	<b>19</b>
4.1 功能框图.....	19
4.2 WAN 接口.....	20
4.2.1 WAN 接口的管脚复用.....	20
4.2.2 SSI 接口.....	21
4.2.3 E1 接口.....	22
4.2.4 WAN 接口的环回.....	23
4.2.5 WAN 接口发送定时.....	27
4.2.6 防止以太网数据环回.....	27
4.3 时隙分配.....	28
4.4 MII 接口处理.....	31
4.4.1 MII 接口.....	31
4.4.2 MDIO 接口.....	32
4.4.3 MAC 工作模式.....	33
4.5 数据封装.....	35
4.5.1 HDLC 封装.....	35
4.5.2 GFP 封装.....	36
4.5.3 用户自定义管理帧.....	38
4.6 SDRAM 接口.....	42
4.6.1 SDRAM 管脚.....	42
4.6.2 缓存容量选择.....	43
4.6.3 帧统计功能.....	44
4.7 SA 比特应用.....	46
4.8 测试功能.....	48
4.8.1 SDRAM 测试.....	48

4.8.2 误码测试.....	48
4.8.3 测试指示灯.....	49
4.9 芯片软复位.....	50
<b>5.网管使用说明.....</b>	<b>50</b>
5.1 寄存器地址划分.....	50
5.2 网管接口 (UART/I2C) .....	51
5.3 UART 指令.....	53
5.4 I2C 指令.....	55
5.5 寄存器说明.....	57
5.5.1 MIB 寄存器.....	57
5.5.2 GFP 与用户自定义管理帧寄存器.....	72
5.5.3 全局寄存器.....	77
<b>6.典型应用.....</b>	<b>79</b>
6.1 以太网至 E1 转换器.....	79
6.2 以太网光纤 Modem 多业务转换器.....	79
<b>7.技术参数.....</b>	<b>80</b>
7.1 使用极限.....	80
7.2 正常工作条件.....	80
7.2.1 功耗.....	81
7.3 直流特性.....	81
7.4 交流特性.....	82
7.4.1 MII 接口时序.....	82
7.4.2 SDRAM 接口时序.....	83
7.4.3 SSI 接口时序.....	84
7.4.4 串行配置接口时序.....	86
<b>8.封装参数.....</b>	<b>87</b>

## 图索引

图 3-1-1 RC7222-A1RC7222-A2 管脚排列.....	10
--------------------------------------	----

图 4-1-1 RC7222-A1RC7222-A2 功能框图.....	21
图 4-2-3-1-1 E1 接口告警示意图.....	24
图 4-2-4-21-1 E1 接口环回控制示意图.....	25
图 4-2-4-3-1 单片机通过 SA 接口控制远端.....	27
图 4-2-4-3-2 单片机通过用户自定义管理帧控制远端.....	28
图 4-2-5-1 定时模式应用.....	28
图 4-3-1-1 时隙分配方式.....	31
图 4-3-1-2 串行配置信号示意图.....	32
图 4-4-1-1 MII 接口连接以太网 PHY.....	33
图 4-4-2-1 单片机、RC7222-A2 与 PHY 之间管理接口的连接.....	34
图 4-5-1-1 RJ017 HDLC 帧格式.....	37
图 4-5-2-1 GFP 帧格式.....	37
图 4-5-3-1 用户自定义管理帧格式.....	40
图 4-6-1-1 SDRAM 接口的连接.....	43
图 4-6-2-1 SDRAM 缓存连接示意图.....	44
图 4-7-1 字节传递方式下寄存器与 SA 比特对应关系.....	48
图 4-8-2-1 误码测试的应用.....	50
图 5-1-1 寄存器地址划分.....	52
图 5-2-1 网管接口地址和用户自定义信息输入.....	54
图 5-5-1-1 统计和锁存寄存器的更新.....	58
图 6-1-1 以太网至 E1 转换器系统构造.....	80
图 6-2-1 以太网光纤 Modem 系统构造多业务转换器.....	81
图 7-4-1-1 MII 接口接收时序.....	83
图 7-4-1-2 MII 接口发送时序.....	83
图 7-4-2-1 SDRAM 接口写时序.....	84
图 7-4-2-2 SDRAM 接口读时序.....	85

图 7-4-3-1 SSI 接口时序.....	86
图 7-4-4-1 串行配置接口时序.....	87
图 8-1 RC7222-A2 封装图.....	88

## 表索引

表 3-2-1 RC7222-A1RC7222-A2 管脚说明（按管脚序号排列）.....	11
表 4-2-1-1 WAN 接口的复用管脚说明.....	21
表 4-2-1-2-1 WAN 接口告警.....	22
表 4-2-4-1 WAN 接口环回控制方式.....	24
表 4-4-3-1 以太网接口工作模式配置.....	35
表 4-5-2-1 GFP 字段说明.....	37
表 4-5-2-2 线形扩展头字段说明.....	38
表 4-5-2-3 UPI 说明.....	38
表 4-5-3-1 用户自定义管理帧发送接收.....	42
表 4-7-1 SA 比特通道使用方式.....	47
表 4-8-3-1 测试指示灯状态.....	50
表 5-3-1 UART 查询指令帧和配置指令帧格式.....	54
表 5-3-2 UART 应答帧格式.....	54
表 5-3-3 UART 查询和配置指令帧.....	54
表 5-3-4 UART 应答帧.....	55
表 5-4-1 I2C 查询指令帧和配置指令帧格式.....	56
表 5-4-2 I2C 写寄存器操作.....	57
表 5-4-3 I2C 读寄存器操作.....	57
表 5-5-1-1 MIB 寄存器(Page00).....	59
表 5-5-2-1 GFP 发送管理帧寄存器(Page10).....	73

---

表 5-5-2-2	GFP 接收和用户自定义管理帧缓存寄存器(Page10).....	75
表 5-5-3-1	全局寄存器(Page11).....	78
表 7-1-1	使用极限值 (VSS=0V) .....	81
表 7-2-1	正常工作条件.....	81
表 7-3-1	直流特性 (HVDD=3.3VDC±0.3V, VSS=0V, Tj=-40°C~85°C) .....	82
表 7-4-1-1	MII 接口信号说明.....	84
表 7-4-2-1	SDARM 接口信号说明.....	85
表 7-4-3-1	SSI 接口时序.....	86
表 7-4-4-1	串行配置接口时序.....	87
表 8-1	RC7222-A2 封装参数.....	88

## 1.概述

RC7222-A2 是实现 10M/100M 以太网和 ST\_BUS 总线到 WAN 接口 (SSI、E1/FE1) 数据转换的高集成度芯片, 支持符合 ITU-T 标准的 E1/FE1 接口和符合 IEEE 802.3 标准的 MII 接口。对以太网帧采用 HDLC 和 GFP-F 封装, HDLC 帧格式兼容 RJ017, GFP-F 帧格式符合 ITU-T G.7041。

RC7222-A2 的主要功能都能够用管脚配置, RC7222-A2 利用 G.704 帧中的 SA 备用比特实现本地芯片对远端芯片的管理, 不使用单片机也能够设计设备。RC7222-A2 支持用户自定义管理帧, 可以将用户自定义管理帧进行 HDLC 封装后与封装以太网数据的 HDLC 帧一起传送, 或者装入 GFP 的管理帧(PTI=100)后与封装以太网数据的 GFP 帧(PTI=000)一起传送, 使单片机在 G.704 成帧和非成帧模式下都能够实现对远端设备的监控。另外 RC7222-A2 对以太网帧在芯片内封装、校验和缓存过程进行全程监视, 并将告警和统计信息以寄存器方式提供, 可作为高性能的以太网网桥设备的核心芯片。

注 1: RJ017 是以色列的 RAD 公司生产的网桥芯片, 其定义的以太网帧到 E1 的 HDLC 封装格式是目前主流的封装格式之一。

注 2: SSI, Serial Synchronous Interface, 串行同步接口, 即 HDLC 接口。本文中为避免与 HDLC 封装混淆, 将该接口命名为 SSI。

## 2.特点

- 单芯片实现以太网数据到 E1/FE1 和 SSI 的转换
- 以太网接口
  - 标准 MII 接口, 支持 10M/100M 速率, 全/半双工模式, 完全兼容 IEEE 802.3 协议
  - 可传输的以太网帧长度范围为 64~2031 字节
  - 过滤超长、超短和 CRC 错包
  - 支持 PAUSE 流量控制功能
  - 提供以太网告警检测和性能统计
  - 提供 MDIO 管理接口, 实现以太网 PHY 芯片寄存器到 RC7222-A2 寄存器的映射
- E1/FE1 接口
  - E1 接口特性符合 ITU-T G.703、G.704 和 G.706 以及 G.732 协议
  - 可选 HDB3、NRZ 接口码型



- 可选本地主定时或跟踪线路定时
- SSI 接口
  - 支持 HDLC 帧的发送和接收，可外接线路接口芯片例如 G.704 成解帧器，带宽小于 50Mbit/s
- G.704 成解帧
  - 支持 G.704 成解帧器旁路(非成帧)模式
  - 支持 PCM30/31 模式
  - G.704 解帧器支持 CRC-4 复帧自适应，G.704 成帧器只支持 CRC-4 复帧
  - SA 备用比特可以开放为透明的 20Kb/s 同步接口
- 以太网帧的封装(encapsulation)
  - 采用 HDLC 封装，HDLC 帧格式兼容 RJ017
  - 支持 GFP-F 封装格式，符合 ITU-T G.7041 标准
  - 提供 CSF 帧的发送；支持 CSF 帧接收告警；支持 CMF 帧(Client Manage Frame)
  - 接收侧 PTI/PFI/EXI 参数自适应，兼容性强
- 用户自定义管理帧
  - 用户自定义管理帧支持 HDLC 封装，可以与封装以太网数据的 HDLC 帧一起传送，支持正反两种校验值（即 RJ017 方式和中国移动公司企业标准）
  - 用户自定义管理帧支持 GFP 封装，可封装成 PTI=100 的 GFP 帧进行传送
- 外接 64Mbit 的 SDRAM，缓存容量从 32 到 512 帧可选
- 管理功能
  - 支持 19200bps 的 UART 管理接口或 100kb/s 的 I<sup>2</sup>C 管理接口
  - 8 比特管理接口地址，最多统一管理 256 对设备
  - G.704 成帧模式下查询远端 RC7222-A2 和远端以太网 PHY 芯片的状态
  - G.704 成帧模式下支持用户自定义信息在本地和远端之间的传递
  - 提供芯片软复位寄存器
  - 具有完备告警信息及统计，可以生成以秒为单位的性能统计记录
  - 具有本地环回和远端环回功能，以及误码仪功能
- 专利的防止以太网数据环回功能，避免因 E1 线路环回造成的以太网崩溃
- 0.25um CMOS 工艺，2.5V 和 3.3V 供电，LQFP128 封装

### 3.管脚描述

#### 3.1 管脚排列图

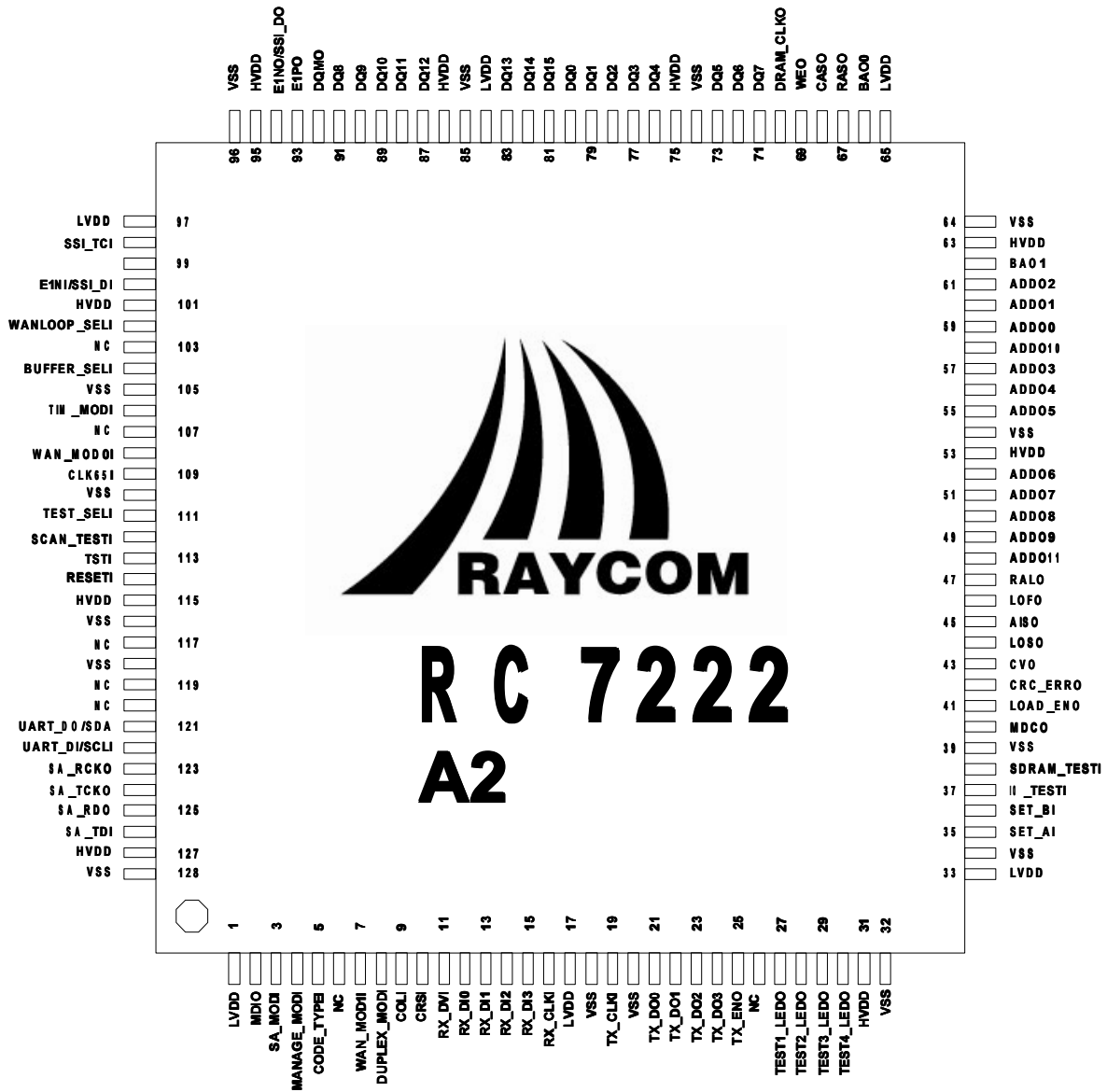


图 3-1-1 RC7222-A2 管脚排列

#### 3.2 管脚描述

I 表示输入管脚，O 表示输出管脚，IO 表示双向管脚，Power 表示电源管脚。其中 PU 表示芯片内部有上拉电阻，PD 表示芯片内部有下拉电阻，Smdt 表示施密特输入，Z 表示输出存在高阻态。

表 3-2-1 RC7222-A2 管脚说明（按管脚序号排列）

管脚	名称	属性	功能
1	LVDD	Power	2.5V
2	MDIO	IO, 6mA	以太网 PHY 管理接口的双向数据管脚。
3	SA_MODI	I, PD	G.704 帧备用比特通道是否开放，高电平表示备用比特通道开放给用户，低电平表示用于 RC7222-A2 内建的通信机制。
4	MANAGE_MODI	I	网管接口模式选择，低电平选择 UART 接口，高电平选择 I <sup>2</sup> C 接口。
5	CODE_TYPEI	I, PD	E1 接口编码类型选择。低电平选择 HDB3 码；高电平选择 NRZ 码。
6	NC	I, PU	未使用。
7	WAN_MOD1I	I, PD	WAN 接口模式选择(与 WAN_MOD0I/Pin108 配合使用) WAN_MOD1I/WAN_MOD0I: 00=SSI 接口作为 WAN 接口； 01=E1 接口作为 WAN 接口； 11/10=无效； 详见 4.2.1WAN 接口管脚的复用。
8	DUPLEX_MODI	I	RC7222-A2 MAC 双工模式 低电平表示 MAC 模块工作于全双工模式；高电平表示 MAC 工作在半双工模式；
9	COLI	I	以太网冲突检测信号 该信号由 PHY 芯片提供，高电平表示以太网半双工工作时出现冲突。
10	CRSI	I	以太网载波指示信号 该信号由 PHY 芯片提供，高电平表示以太网半双工工作时检测到载波。

11	RX_DVI	I	以太网输入数据有效指示 高电平表示以太网数据有效，RX_CLKI 上升沿采样。
12	RX_DI0	I	以太网 MII 接口输入数据 RX_CLKI 上升沿采样。
13	RX_DI1		
14	RX_DI2		
15	RX_DI3		
16	RX_CLKI	I	以太网 MII 接口输入方向时钟 由外部以太网 PHY 芯片提供，时钟频率为 2.5MHz 或 25MHz
17	LVDD	Power	2.5V
18	VSS	Power	接地
19	TX_CLKI	I	以太网 MII 接口输出方向时钟 由外部以太网 PHY 芯片提供，时钟频率为 2.5MHz 或 25MHz
20	VSS	Power	接地
21	TX_DO0	O, 6mA	以太网 MII 接口输出数据 TX_DO 在 TX_CLKI 的上升沿更新。
22	TX_DO1		
23	TX_DO2		
24	TX_DO3		
25	TX_ENO	O,6mA	以太网输出数据有效指示 高电平表示数据有效，在 TX_CLKI 的上升沿更新。

26	NC	O,3mA	未使用。
27	TEST1_LED0	O,3mA	芯片工作状态输出，可外接 LED 指示灯用于观察芯片当前工作状态 详细定义见 4.8.3 测试指示灯。
28	TEST2_LED0		
29	TEST3_LED0		
30	TEST4_LED0		
31	HVDD	Power	3.3V
32	VSS	Power	接地
33	LVDD	Power	2.5V
34	VSS	Power	接地
35	SET_AI	I	管理接口地址和用户自定义信息的串行输入 该管脚外接 74HC165 实现并串转换，连接方式和比特定义见 5.2 网管接口
36	SET_BI	I	带宽(时隙)设置的串行输入 该管脚外接 74HC165 实现并串转换，连接方式和比特定义见 4.3 时隙分配。
37	IO_TESTI	I, PD	芯片生产测试管脚 正常工作时接地。
38	SDRAM_TESTI	I, PD	SDRAM 检测使能 高电平表示芯片进入 SDRAM 检测模式，检测结果通过 TEST_LED0 管脚输出，详见 4.8.1SDRAM 测试
39	VSS	Power	接地
40	MDCO	O,6mA	MDIO 接口 2.048MHz 时钟输出 MDCO 同时作为串行输入(SET_AI、SET_BI)外

			接的 74HC165 的工作时钟。时序见图 7.4.3。
41	LOAD_ENO	0,6mA	外接的 74HC165 的移位控制信号 具体时序见图 7.4.3。
注：Pin42-Pin47 为 WAN 接口告警输出管脚，输出高电平表示有告警。告警输出之前在芯片内部进行了告警屏蔽处理。详见 4.2.1.2 告警输出管脚的复用			
42	CRC_ERRO	0,3mA	G.704 CRC 校验错告警输出 当 E1 接口作为 WAN 接口(WAN_MODI=01), 该管脚输出 G.704 帧 CRC 校验错误告警；
43	CVO	0,3mA	E1 接口 HDB3 编码违例告警输出 当 E1 接口作为 WAN 接口(WAN_MODI=01), 该管脚输出 E1 接口 HDB3 编码违例告警；
44	LOSO	0,3mA	E1 接口 LOS 告警输出 当 E1 接口作为 WAN 接口(WAN_MODI=01), 该管脚输出 E1 接口 LOS 告警；
45	AISO	0,3mA	G.704 AIS 告警输出 当 E1 接口作为 WAN 接口(WAN_MODI=01), 该管脚输出 G.704 AIS 告警；
46	LOFO	0,3mA	G.704 LOF 告警输出 当 E1 接口作为 WAN 接口(WAN_MODI=01), 该管脚输出 G.704 帧 LOF 告警；
47	RALO	0,3mA	G.704 远端告警输出 当 E1 接口作为 WAN 接口(WAN_MODI=01), 该管脚输出 E1 接口 G.704 帧远端告警；
48	ADDO11	0,6mA	SDRAM 的地址输出，ADDO11 是最高位，ADDO0 是最低位。
49	ADDO9		
50	ADDO8		

51	ADDO7		
52	ADDO6		
53	HVDD	Power	3.3V
54	VSS	Power	接地
55	ADDO5	0,6mA	SDRAM 的地址输出， ADDO11 是最高位， ADDO0 是最低位。
56	ADDO4		
57	ADDO3		
58	ADDO10		
59	ADDO0		
60	ADDO1		
61	ADDO2		
62	BAO1	0,6mA	SDRAM 的 BANK 选择， BAO1 是高位。
63	HVDD	Power	3.3V
64	VSS	Power	接地
65	LVDD	Power	2.5V
66	BAO0	0,6mA	SDRAM 的 BANK 选择， BAO0 是低位。
67	RASO	0,6mA	行地址选通信号，列地址选通信号，写使能信号。 三个信号组合成对 SDRAM 的操作指令。
68	CASO		
69	WEO		
70	DRAM_CLKO	0,6mA	SDRAM 时钟，为 SDRAM 提供工作时钟，频率

			是 CLK65I 输入时钟的 2 分频。
71	DQ7	IO,6mA	连接 SDRAM 的数据总线
72	DQ6		
73	DQ5		
74	VSS	Power	接地
75	HVDD	Power	3.3V
76	DQ4	IO,6mA	连接 SDRAM 的数据总线
77	DQ3		
78	DQ2		
79	DQ1		
80	DQ0		
81	DQ15		
82	DQ14		
83	DQ13		
84	LVDD	Power	2.5V
85	VSS	Power	接地
86	HVDD	Power	3.3V
87	DQ12	IO,6mA	连接 SDRAM 的数据总线
88	DQ11		
89	DQ10		



90	DQ9		
91	DQ8		
92	DQMO	0,6mA	连接 SDRAM 的数据屏蔽信号，直接连接 SDRAM 的 LDQM 和 UDQM。
注：管脚 Pin94/Pin99/Pin100 是 E1 接口和 SSI 接口复用管脚，详见 4.2.1WAN 接口管脚的复用			
93	E1PO	0,6mA	E1 接口 HDB3 的正编码输出 当 E1 接口作为 WAN 接口(WAN_MODI=01), 该管脚输出 HDB3 正编码(E1 接口码型为 HDB3) 或 2.048MHz 时钟(E1 接口码型为 NRZ);
94	E1NO/SSI_DO	0,6mA	E1 接口 HDB3 的负编码输出 当 E1 接口作为 WAN 接口(WAN_MODI=01), 该管脚输出 HDB3 负编码(E1 接口码型为 HDB3) 或 NRZ 数据(E1 接口码型为 NRZ); SSI 接口数据输出 当 SSI 作为 WAN 接口(WAN_MODI=00), 该管脚输出 NRZ 数据;
95	HVDD	Power	3.3V
96	VSS	Power	接地
97	LVDD	Power	2.5V
98	SSI_TCI	I	SSI 接口输出数据所用的时钟 当 SSI 接口作为 WAN 接口(WAN_MODI=00), 该管脚为时钟输入，芯片用该时钟输出 SSI_DO 数据;
99	E1PI/SSI_RCI	I	E1 接口 HDB3 的正编码输入 当 E1 接口作为 WAN 接口(WAN_MODI=01), 从该管脚输入 HDB3 正编码(E1 接口码型为 HDB3) 或 2.048MHz 时钟(E1 接口码型为 NRZ);

			SSI 接口采样输入数据所用的时钟 当 SSI 作为 WAN 接口(WAN_MODI=00), 该管脚为时钟输入, 芯片用该时钟采样 SSI_DI 数据;
100	E1NI/SSI_DI	I	E1 接口 HDB3 的负编码输入 当 E1 接口作为 WAN 接口(WAN_MODI=01), 从该管脚输入 HDB3 负编码(E1 接口码型为 HDB3) 或 NRZ 数据(E1 接口码型为 NRZ); SSI 接口数据输入 当 SSI 作为 WAN 接口(WAN_MODI=00), 从该管脚输入 NRZ 数据;
101	HVDD	Power	3.3V
102	WANLOOP_SEL1	I,PD	WAN 接口本地环回 高电平表示 WAN 接口双向环回, 环回点见图 4-1-1, 详见 4.2.4 WAN 接口的环回
103	NC	-	未使用管脚, 悬空或接低电平
104	BUFFER_SEL1	I,PD	MII 到 WAN 方向缓存模式选择 高电平选择大缓存模式, 抗以太网突发能力强; 低电平选择小缓存模式, 减少传输时延。详见 4.6.2 缓存容量选择
105	VSS	Power	接地
106	TIM_MODI	I	WAN 接口发送定时模式选择 高电平表示本地定时, 低电平时跟踪线路定时。 用于传输以太网数据时, 对通的 RC7222-A2 可以设置成一端为本地定时, 另一端为跟踪线路定时, 也可以设置成两端都是本地定时。详见 4.2.5 WAN 接口发送定时
107	NC	I, PD	未使用。
108	WAN_MOD0I	I, PU	WAN 接口模式选择(与 WAN_MOD1I/Pin7 配合使用) WAN_MOD1I/WAN_MOD0I 为 01 时, WAN 接

			口为 E1；为 00 时 WAN 接口为 SSI 接口，其他组合无效。详见 4.2.1WAN 接口管脚的复用。
109	CLK65I	I	65.536MHz 工作时钟，精度要求±50ppm
110	VSS	Power	接地
111	TEST_SEL1	I	芯片生产测试管脚，必须接地。
112	SCAN_TEST1		
113	TST1		
114	RESET1	I,Smdt	复位信号，低电平表示复位
115	HVDD	Power	3.3V
116	VSS	Power	接地。
117	NC	O,6mA	未使用
118	VSS	Power	接地。
119	NC	O,6mA	未使用
120	NC	O,6mA	未使用
注：Pin121/Pin122 是 UART 管理接口和 I <sup>2</sup> C 管理接口复用管脚，详见 5.2 网管接口			
121	UART_DO/SDA	O, Z/IO, Z ,6mA	<p>UART 管理接口数据输出</p> <p>管理接口设置为 UART 模式时 (MANAGE_MODI/Pin4 为低电平)，该管脚为 UART 接口的数据输出端，速率为 19200bps；当 UART 接口空闲时，从该管脚输出高阻，因此管脚外部需要增加上拉电阻。</p> <p>I<sup>2</sup>C 管理接口数据端口</p> <p>管理接口设置为 I<sup>2</sup>C 模式时 (MANAGE_MODI/Pin4 为高电平)，该管脚为 I<sup>2</sup>C 接口的数据端 SDA。SDA 是双向管脚，管脚外</p>

			部需要增加上拉电阻。
122	UART_DI/SCLI	I	<p>UART 管理接口数据输入</p> <p>管理接口设置为 UART 模式 (MANAGE_MODI/Pin4 为低电平), 该管脚为 UART 接口的数据输入端, 速率为 19200bps;</p> <p>I<sup>2</sup>C 管理接口时钟端口</p> <p>管理接口设置为 I<sup>2</sup>C 模式(MANAGE_MODI/Pin4 为高电平), 该管脚为 I<sup>2</sup>C 接口的时钟端 SCL</p>
<p>注: 管脚 Pin123-Pin126 是 SA 接口, 只有在 G.704 成帧模式且 SA_MODI 为低电平时, SA 备用比特数据才能连接到 SA 接口上, 其他模式下 SA 接口无效, 应注意此时 SA_TDI 应连接固定电平, 不能悬空。SA 接口详见 4.7 SA 比特应用</p>			
123	SA_RCKO	0,6mA	SA 比特通道下行方向时钟输出 频率为 20KHz。
124	SA_TCKO	0,6mA	SA 比特通道上行方向时钟输出 频率为 20KHz
125	SA_RDO	0,6mA	SA 比特通道下行方向数据输出 由 SA_RCKO 上升沿更新
126	SA_TDI	I	SA 比特通道上行方向数据输入 当 SA_MODI 为高电平时, 该管脚为 SA 比特通道上行方向数据输入, 由 SA_TCKO 上升沿采样
127	HVDD	Power	3.3V
128	VSS	Power	接地

## 4.功能模块描述

### 4.1 功能框图

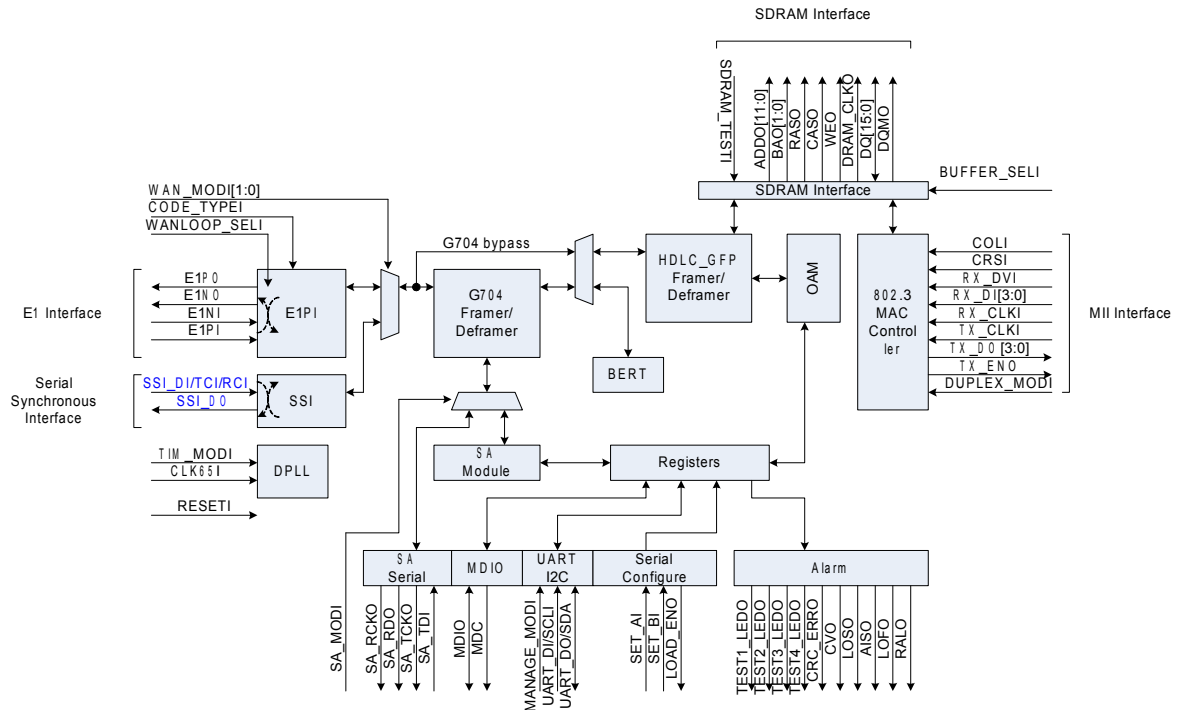


图 4-1-1 RC7222-A2 功能框图

## 4.2 WAN 接口

### 4.2.1 WAN 接口的管脚复用

WAN 接口的输入输出管脚和告警指示管脚都是复用的。

#### 4.2.1.1 接口管脚的复用

RC7222-A2 支持 SSI 和 E1 两种线路接口，两种线路接口复用同一组管脚，可以通过管脚 WAN\_MOD0I/WAN\_MOD1I 进行选择。

表 4-2-1-1 WAN 接口的复用管脚说明

管脚名称	SSI 接口 WAN_MODI[1:0]=00	E1 接口 WAN_MODI[1:0]=01	
		HDB3 CODE_TYPEI=0	E1 NRZ CODE_TYPEI=1
E1PO	悬空	输出 HDB3 的正符号	输出的时钟
E1NO/SSI_DO	SSI 的输出数据	输出 HDB3 的负符号	输出的数据
E1PI/SSI_RCI	SSI 的输入数据定时时钟	输入 HDB3 的正符号	输入的时钟
E1NI/SSI_DI	SSI 的输入数据	输入 HDB3 的负符号	输入的数据

SSI_TCI	SSI 的输出数据定时时钟	接地	接地
---------	---------------	----	----

#### 4.2.1.2 告警输出管脚的复用

RC7222-A2 的 WAN 接口选择 E1 接口时，输出告警；当选择 SSI 接口时，无告警输出。不同接口不同模式下输出告警的情况如表 4-2-1-2-1 所示，对告警的细节描述详见其他相关章节。

表 4-2-1-2-1 WAN 接口告警

管脚名称	E1 接口模式			
	HDB3 码型		NRZ 码型	
	G.704 成帧	非成帧	G.704 成帧	非成帧
E1_LOSO	E1_LOS	E1_LOS	无	无
AISO	AIS	AIS	AIS	AIS
LOFO	LOF	无	LOF	无
CRC_ERRO	CRC_ERR	无	CRC_ERR	无
E1_CVO	E1_CV	无	无	无
RALO	RAL	无	RAL	无

#### 4.2.2 SSI 接口

RC7222-A2 的 SSI 接口支持最高 50Mbit/s 的速率，SSI 接口的接收时钟(SSI\_RCI)、发送时钟(SSI\_TCI)是相互独立的，对占空比没有要求。

SSI 接口信号在 RC7222-A2 中均用 CLK65I 处理，要求 SSI 接口输入方向的信号经过 CLK65I 同步化处理后再送给 RC7222-A2，否则可能出现数据传输错误。

当芯片的数据封装设置为 HDLC 封装(cGFP\_SEL=0)时，SSI 接口有效，相当于通常所说 HDLC 接口。时序详见图 7-4-3-1。

当芯片的数据封装设置为 GFP 封装(cGFP\_SEL=1)时，由于 GFP 协议是面向字节的传输协议，因此不能通过 SSI 接口传输。

### 4.2.3 E1 接口

RC7222-A2 的 E1 接口发送方向使用 DPLL 产生的设备时钟, 将 G.704 成帧器产生的 2.048M 数据流(G.704 成帧模式)或 HDLC 成帧器产生的 2.048M 数据流(非成帧模式), 进行 HDB3 编码进行发送; E1 接口接收方向完成时钟提取, HDB3 解码, 恢复出 2.048M 数据流, 并进行告警检测。

E1 接口支持 HDB3 和 NRZ 两种码型, 可以通过管脚 CODE\_TYPEI 设置, 当 CODE\_TYPEI 为低电平时接口码型为 HDB3, CODE\_TYPEI 为高电平时接口码型为 NRZ。

#### 4.2.3.1 E1 接口告警

RC7222-A2 的 E1 接口模块 E1PI 负责检测 E1 接口信号消失告警(E1\_LOS)和 E1 接口 HDB3 编码违例告警(E1\_CV)。当 E1 接口码型为 NRZ 时, E1\_LOS 和 E1\_CV 告警停止检测。

G.704 成帧模式下 E1 解帧器输出的 2.048M 数据流送入 G.704 解帧器, G.704 解帧器根据时隙分配取出 Nx64K 数据流送给 HDLC 解帧器。G.704 解帧器检测 2.048M 数据信号全 1 告警(AIS)、G.704 帧失步告警(LOF)、G.704 复帧失步告警(LOMF)、CRC 误码告警(CRC\_ERR)和远端告警(RAL); 非成帧模式下 G.704 解帧器停止工作, 2.048M 数据流直接送给 HDLC 解帧器, 将不会产生 G.704 相关的告警。

G.704 解帧器检测到的 AIS、LOF 和 LOMF 将通过开销通知对端, 在对端将检测到 RAL 告警。

从管脚输出的 E1 接口相关告警之间具有优先级关系和屏蔽关系, 如图 4-2-3-1-1 所示, 箭头所指方向优先级较低, 告警屏蔽时也按照箭头方向屏蔽。例如 E1\_LOS 告警将屏蔽 E1\_CV/AIS 告警, 以及比这 2 个告警优先级更低告警; 又如 LOMF 告警将屏蔽 RAL/CRC\_ERR 告警。

寄存器中的 E1 接口告警没有进行优先级屏蔽, 单片机通过 RC7222-A2 读取告警后应按照图 4-2-3-1-1 所示优先级实现告警屏蔽。

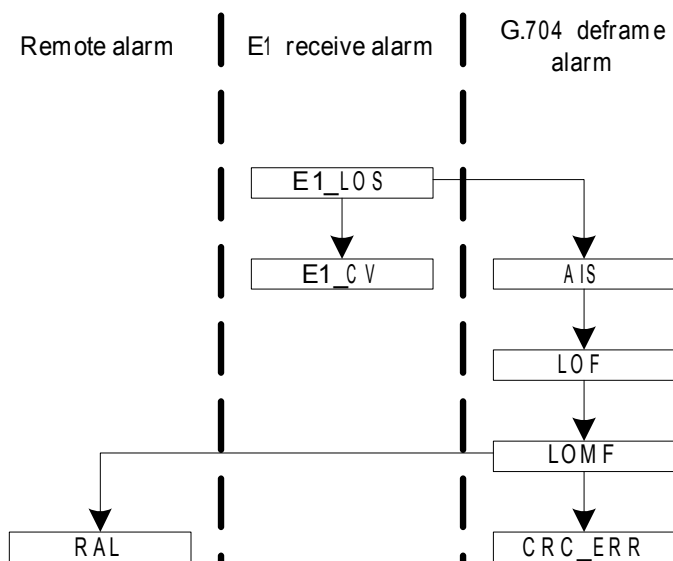


图 4-2-3-1-1 E1 接口告警示意图

### 4.2.4 WAN 接口的环回

RC7222-A2 的 WAN 接口具有本地环回和远端环回功能。

RC7222-A2 的设计兼容 Raycom 的系列转换器芯片，因此保留了多种环回控制方式，如下表所示：

表 4-2-4-1 WAN 接口环回控制方式

名称	环回控制方式	单向/双向环回
本地 WAN 接口环回	管脚 WANLOOP_SEL1, 该管脚的状态可以通过 MIB 寄存器 WANLOOP_SEL1(00.18H[3])观察	双向环回, 环回点位于 WAN 接口处
	MIB 寄存器 Net_wanloop(00.18H[7])	双向环回, 环回点位于 WAN 接口处
	全局寄存器 cLoop_interE1(11.04H[0])	单向环回, 向芯片内部环回, 环回点位于 WAN 接口处
	全局寄存器 cLoop_extE1 (11.04H[1])	单向环回, 向芯片外部环回, 环回点位于 WAN 接口处
本地控制远端 WAN 接口环回	MIB 寄存器 Net_line_test (00.18H[6])	单向环回, 控制远端芯片向本地环回, 环回点位于 WAN 接口处



#### 4.2.4.1 E1 接口环回控制

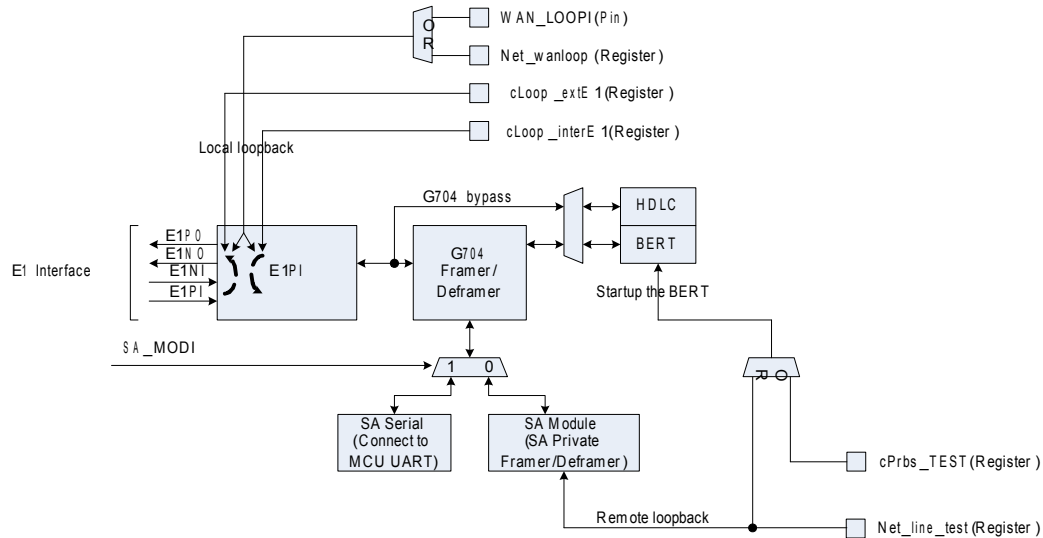


图 4-2-4-1-1 E1 接口环回控制示意图

E1 接口作为 WAN 接口时，设置本地环回有 4 种方法，需要注意 4 种控制方法的优先级是相同的，即 WANLOOP\_SEL1、Net\_wanloop、cLoop\_interE1 和 cLoop\_extE1 中任何一个为 1 时均进入本地环回状态；WANLOOP\_SEL1、Net\_wanloop、cLoop\_interE1 和 cLoop\_extE1 全都为 0 时才取消本地环回。

控制远端环回使用寄存器 Net\_line\_test，Net\_line\_test 为 1 时向远端发送环回指令；向远端发送的环回指令只能送给 SA 内建帧成帧器，通过 SA 内建帧送给远端，远端设备从 SA 内建帧接收到环回指令后执行环回操作。从图 4-2-4-1-1 中可以看到，通过 SA 内建帧传递环回指令必须要求管脚 SA\_MODI 为低电平且 G.704 成帧模式下才能完成。

从图 4-2-4-1-1 中可以看到，Net\_line\_test 是具有复合功能，除了发送远端环回指令外，BERT 误码仪同时启动，在 WAN 接口发送方向同时向以太网占用的时隙内插入伪随机测试码流，并在 WAN 接口接收方向监视以太网占用的时隙内的数据。

远端的 RC7222-A2 接收到环回指令后，将指令送至寄存器 Reloop\_get(00.0BH[1])。同时检查 WANLOOP\_SEL1、Net\_wanloop、cLoop\_interE1、cLoop\_extE1 和 Net\_line\_test 是否为 1：任何一个为 1 则不会响应接收到的环回指令，将寄存器 Reloop\_reply(00.0BH[0])置为 0；全部为 0 时才会响应接收到的环回指令，将寄存器 Reloop\_reply(00.0BH[0])置为 1。这种设计能够防止

本地远端同时进行环回操作引起无法解环回的情况。

芯片进入环回状态后通过管脚也可以观察，本地环回或者被远端环回后，管脚 TEST1\_LED0/TEST2\_LED0 输出 10，详见 4.8.3 测试指示灯。

#### 4.2.4.2 SSI 接口环回控制

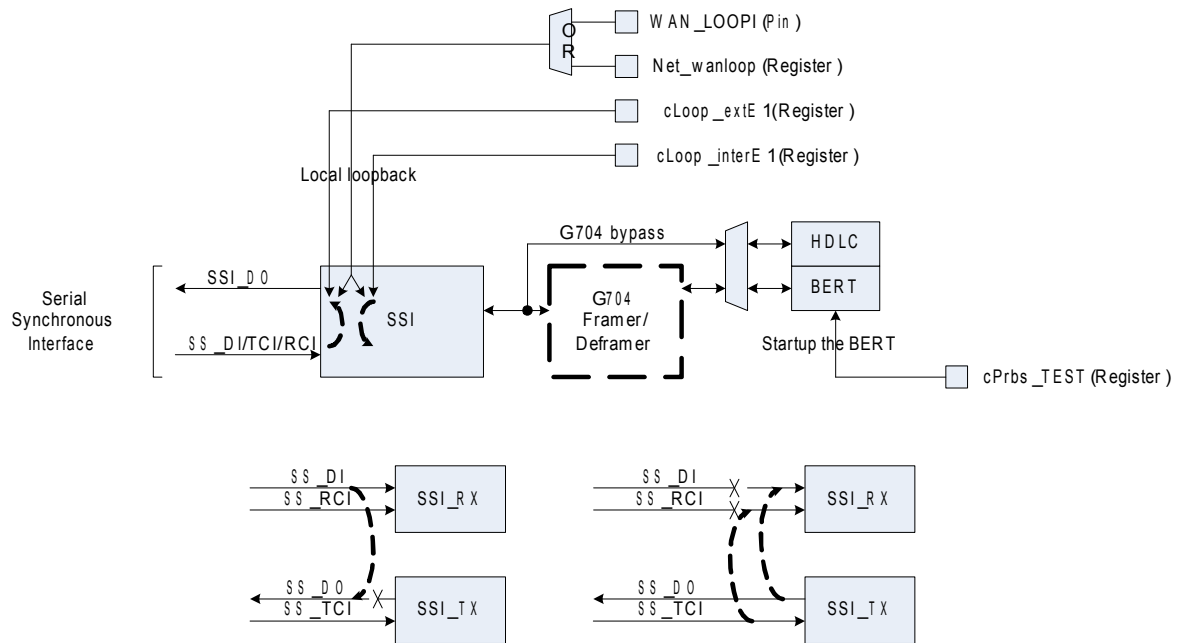


图 4-2-4-2-1 E1 接口环回控制示意图

SSI 接口作为 WAN 接口时，设置本地环回有 4 种方法，需要注意 4 种控制方法的优先级是相同的，即 WANLOOP\_SEL1、Net\_wanloop、cLoop\_interE1 和 cLoop\_extE1 中任何一个为 1 时均进入本地环回状态；WANLOOP\_SEL1、Net\_wanloop、cLoop\_interE1 和 cLoop\_extE1 全都为 0 时才取消本地环回。

在 SSI 接口模式下，G704 成解帧器被强制旁路，因此不能直接用寄存器控制远端环回。

当 SSI 接口向外部环回时，将 SS\_DI 输入环回到 SS\_DO 上；当 SSI 接口向内部环回时，将 SS\_DO 输出环回到 SS\_DI 上，同时用 SS\_TCI 替换 SS\_RCI，因此向内部环回时 SS\_TCI 必须正常时环回指令才能生效。

芯片进入环回状态后通过管脚也可以观察，本地环回后，管脚 TEST1\_LED0/TEST2\_LED0 输出 10，详见 4.8.3 测试指示灯。

**4.2.4.3 单片机独立控制环回**

4.2.4.1 和 4.2.4.2 节描述的远端环回指令发送和接收都由芯片完成，在使用上非常方便。但是这种传送均使用私有协议，如果 RC7222-A2 需要与其他兼容 RJ017 的 HDLC 帧格式或符合 ITU-T 标准的 GFP 帧格式的芯片在网管和业务上都实现对通，则需要采用能够兼容的指令传送方式。

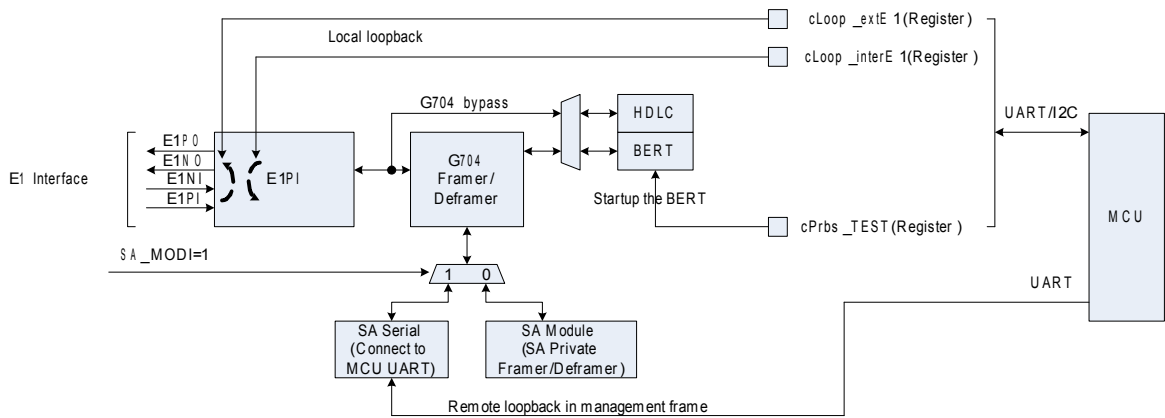


图 4-2-4-3-1 单片机通过 SA 接口控制远端

第一种方式是将 SA 备用比特连接到 SA 接口(SA\_MODI=1)，单片机通过 UART 接口进行通信，这样 RC7222-A2 只负责 SA 备用比特的传输，单片机可以采用能够兼容的通信帧协议。

从图 4-2-4-3-1 中可以看到单片机通过 UART-SA 接口可以与对端单片机进行通信，并发送远端环回指令，SA 备用比特只能在 G.704 成帧模式且管脚 SA\_MODI=1 时才能使用，在 G.704 非成帧时所有时隙都用于传送以太网数据，SA 备用比特不能使用，也就无法向远端发送环回指令。

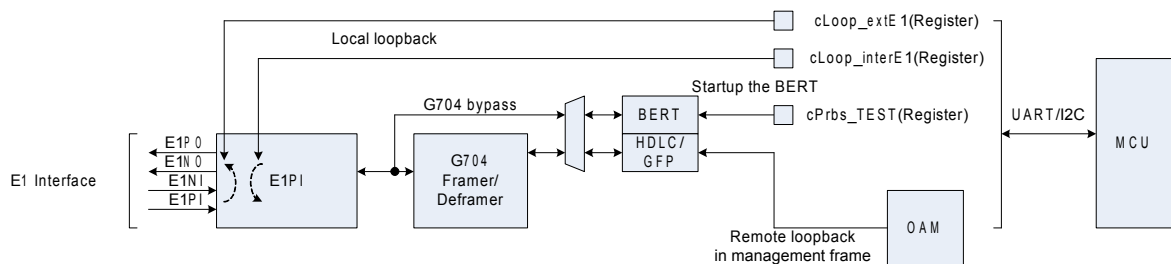


图 4-2-4-3-2 单片机通过用户自定义管理帧控制远端

第二种方式是采用用户自定义管理帧的方式。

用户自定义管理帧经过 HDLC 封装后，与封装以太网数据的 HDLC 帧一起传送，这样只要以太网帧能够传送用户自定义管理帧就能够传送。HDLC 模式下 E1 可设置支持 G.704 成帧，也可以设置成非成帧，因此用户自定义管理帧在 E1 成帧或非成帧时都能够实现单片机之间的通信。

用户自定义管理帧也可以经过 GFP 封装(PTI=000)后，与封装以太网数据的 GFP 帧一起传送，但 GFP 模式下 E1 只能设置支持 G.704 成帧，因此用户自定义管理帧只能在 E1 成帧时实现单片机之间的通信。

用户自定义管理帧的详细内容参见 4.5.3 用户自定义管理帧。

#### 4.2.5 WAN 接口发送定时

RC7222-A2 支持本地定时和跟踪线路定时两种定时模式。

配置定时模式通过 TIM\_MODI 管脚。该管脚的状态可以通过寄存器 TIM\_MODI(00.06H[1]) 观察。

TIM\_MODI 输入高电平表示选择本地定时；输入低电平选择跟踪线路定时，同步于对端线路恢复的时钟。在本地定时情况下，RC7222-A2 使用 CLK65I 的输入时钟做为本地时钟源。

在实际应用中，如果传输以太网数据，两端设备可以一端是本地定时模式，另一端是跟踪线路定时，或者两端都设置成本地定时，以太网数据都能正确传输。

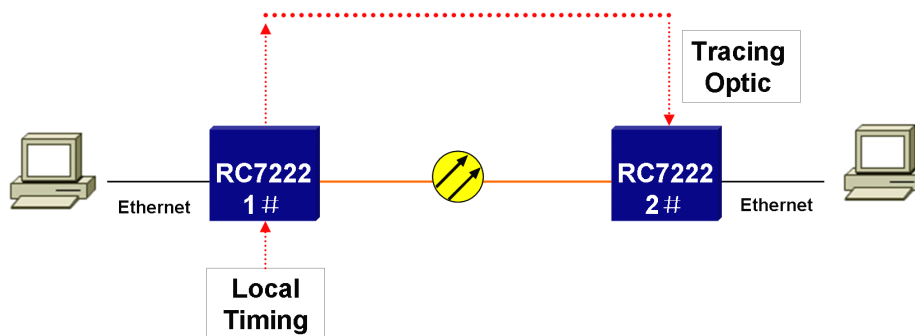


图 4-2-5-1 定时模式应用

#### 4.2.6 防止以太网数据环回

由于以太网协议定义了广播包，以太网中的交换机将广播包向所有端口转发，如果其中有某

些端口出现环回情况，广播包会被不断转发最终形成广播风暴，导致网络崩溃。

因此从以太网到 WAN 口方向发送的以太网数据如果因为线路上某处有环回而被送回时，就有可能导致网络故障。

RC7222-A2 具备专门的检测模块，通过比较向 WAN 接口发送的和接收回来的以太网帧中的 MAC 地址的方法，判断 WAN 接口上是否出现线路环回，检测结果通过寄存器 Extloop\_done(00.0CH[2])提供，当 Extloop\_done=1 时表示发现 WAN 接口方向出现环回。

当 RC7222-A2 检测到 WAN 接口方向出现环回后，可以切断向 MII 接口方向发送数据，以防止以太网出现网络故障。当 RC7222-A2 检测到 WAN 接口方向环回取消后，能够自动恢复向 MII 接口方向发送数据。

需要注意当 RC7222-A2 检测到 WAN 接口方向出现环回后，可以切断向 MII 接口方向发送数据，但以太网源地址为全 0 的帧仍然能够正常传送，以便于一些特殊情况下的测试要求。

另外为了满足一些特殊情况下的测试要求，“发现 WAN 接口环回后切断 MII 接口发送数据”的功能是可控的，即当寄存器 Loopcut\_en\_n(00.04H[7])=0 时这个功能才启用，当 Loopcut\_en\_n(00.04H[7])=1 时，无论是否检测到 WAN 接口方向环回，都不执行切断动作。上电复位后 Loopcut\_en\_n 的缺省值为 0。

当寄存器 Loopcut\_en\_n(00.04H[7])=0 时，一旦 RC7222-A2 检测到 WAN 接口方向环回，切断向 MII 接口方向发送数据的同时，也通过管脚 TEST4\_LED0 输出高电平，可以外接 LED 灯用于观察以太网是否被切断。TEST4\_LED0 的详细功能见 4.8.3。

### 4.3 时隙分配

G.704 帧结构为一种复帧结构，16 个单帧构成 1 个复帧。在每个单帧内再分成 32 个时隙。其中 TS0 由 RC7222-A2 的 G.704 成解帧器处理，包括：帧同步码处理、CRC-4 校验比特处理、SA 备用比特发送和接收以及 RAL、CRC-4 误码告警互传。在接收方向的 G.704 解帧器支持 CRC-4 复帧模式自检测和自适应，可以自动检测出 CRC-4 复帧或非 CRC-4 复帧，并将检测的结果写入寄存器 E1CRC\_SEL。

除 TS0 外 G.704 成解帧器会根据时隙分配使用其它 31 个时隙。需要注意 TS16，当配置为 PCM31 模式时，TS16 用于传输以太网数据；当配置为 PCM30 模式时，TS16 不用于传输以太网数据。

RC7222-A2 提供 2 种方式进行时隙分配：通过管脚 SET\_BI 配置，通过寄存器配置。

上电复位后，管脚 SET\_BI 配置优先，这样就保证在不使用单片机的设计中也能实现时隙分配功能。缺省情况下寄存器配置的优先级低，但是寄存器配置的优先级可以调整：将寄存器 00.58H 写为 A5，则可以指定时隙分配寄存器 00.53H-00.56H 生效，此时管脚 SET\_BI 配置失效。

由于时隙分配有多种配置源，RC7222-A2 也提供寄存器用于观察配置结果，通过寄存器 G.704\_bypass(00.06H[7])，Pcm31\_sel(00.06H[6])和寄存器 00.07H-00.0AH 可观察最终配置结果。

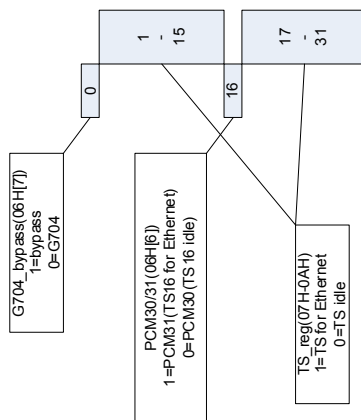
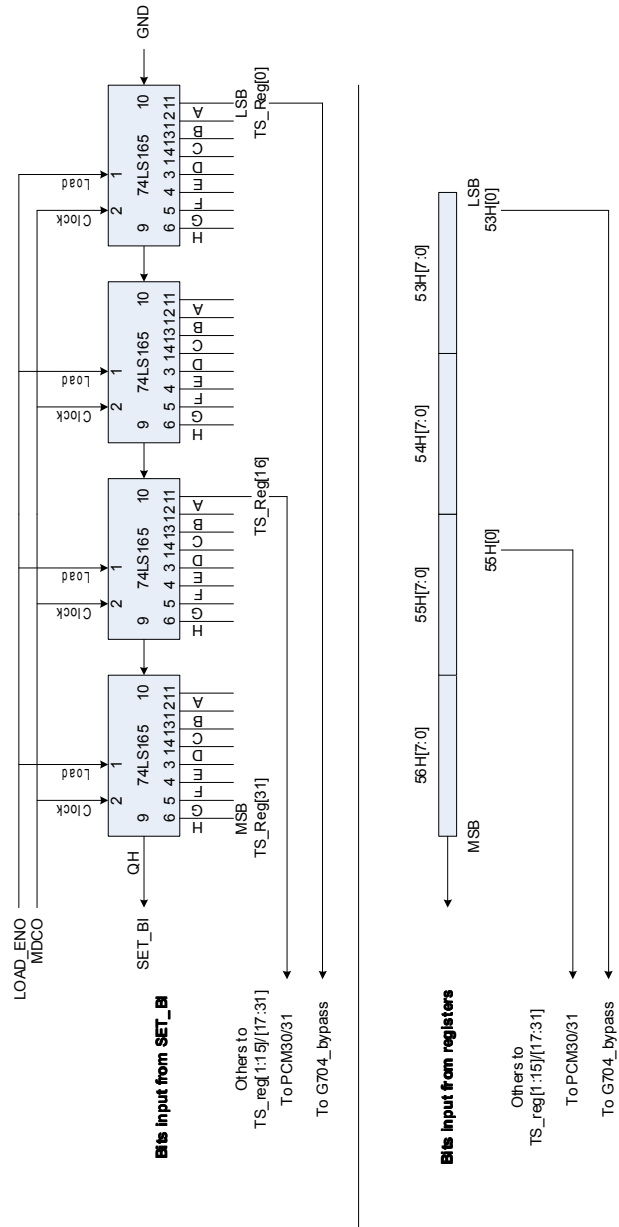


图 4-3-1 时隙分配方式

需要注意串行输入接口 SET\_BI 外接的 74HC165 需要连接 RC7222-A2 提供的一个

2.048MHz 时钟 MDCO 和一个帧定位信号 LOAD\_ENO。

图 4-3-2 所示为串行配置信号的示意图，RC7222-A2 输出 LOAD\_ENO 脉冲（去触发并串转换器），按照时钟 MDCO 的 T 周期，从 SET\_BI 读入配置信息，顺序是从高至低（Bit31~Bit0）。LOAD\_ENO 在每个 MDCO 的第 32 个 T 周期重复输出一个低电平脉冲，宽度为 MDCO 一个 T 周期。串行配置接口时序见图 7.4.4。

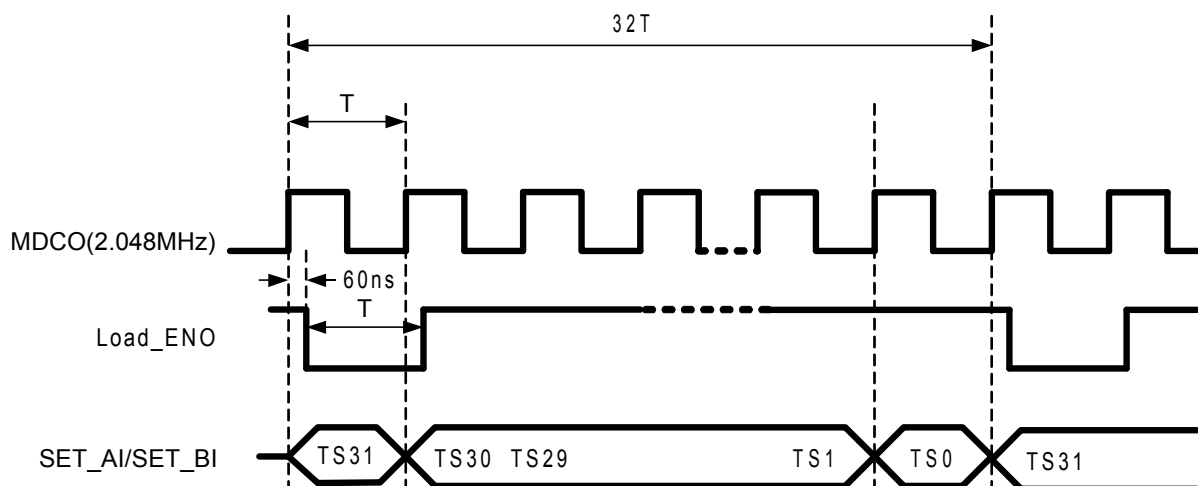


图 4-3-2 串行配置信号示意图

## 4.4 MII 接口处理

RC7222-A2 提供 10M/100M 的标准 MII 接口，符合 IEEE 802.3 建议。

### 4.4.1 MII 接口

RC7222-A2 实现以太网 MAC 子层功能，并通过 MII 接口与以太网物理层芯片（PHY）连接。接口时钟 RX\_CLKI 和 TX\_CLKI 由以太网物理层芯片（PHY）提供。

MII 接口信号与以太网 PHY 芯片管脚的连接关系如下：



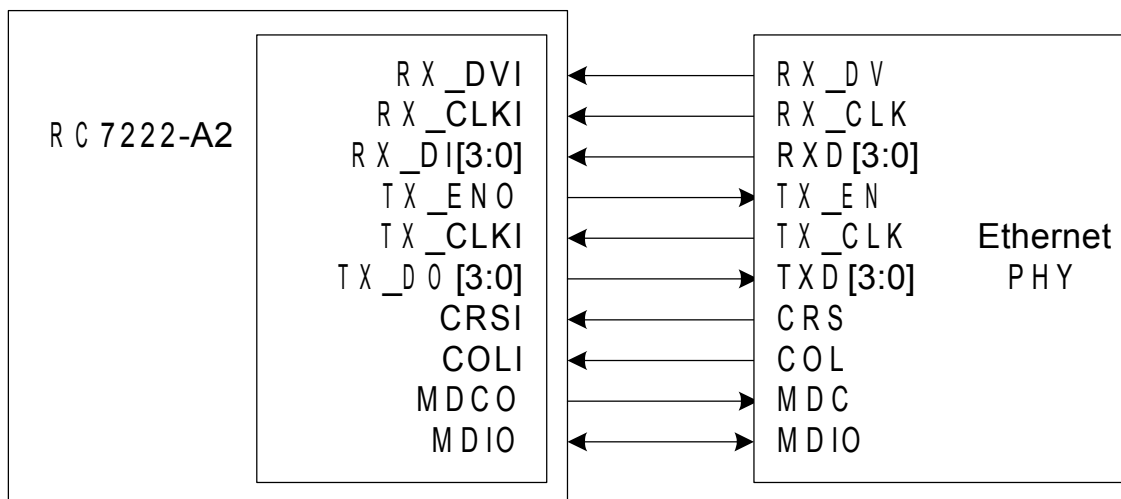


图 4-4-1-1 MII 接口连接以太网 PHY

MII 接口接收和发送的时序请参见图 7-4-1-1 和图 7-4-1-2。

#### 4.4.2 MDIO 接口

通常以太网 PHY 芯片只提供 MDIO 接口用于寄存器访问。RC7222-A2 提供符合 IEEE802.3 标准的 MDIO 接口，并可以通过寄存器控制 MDIO 接口的接收和发送。这样单片机可以通过 RC7222-A2 的寄存器间接访问以太网 PHY 芯片的寄存器。

MDIO 接口包括两个信号 MDCO 和 MDIO。其中 MDCO 为 2.048Mbit/s 时钟输出，MDIO 是双向数据。通过 MDIO 接口，可以实现对以太网 PHY 内部寄存器的读写操作，可以读取和改变以太网 PHY 的工作状态。

RC7222-A2 通过 MDIO 接口定时访问以太网 PHY 芯片，并将 IEEE 802.3 标准规定的标准寄存器映射到 RC7222-A2 的 MIB 寄存器 00.19H-00.1DH 中，单片机可以随时读取。

单片机通过 UART/I<sup>2</sup>C 访问 RC7222-A2 时，单片机是主器件，RC7222-A2 是从器件，单片机需要知道从器件的地址才能正确访问，该地址可通过管脚 SET\_AI 设置；当 RC7222-A2 通过 MDIO 访问以太网 PHY 芯片时，同样需要知道以太网 PHY 芯片的地址才能正确访问。

RC7222-A2 的寄存器 Cfg\_phy\_addr(00.50H)即用于保存以太网 PHY 芯片的 MDIO 接口地址，该地址必须与 PHY 芯片的地址一致才能正确访问。

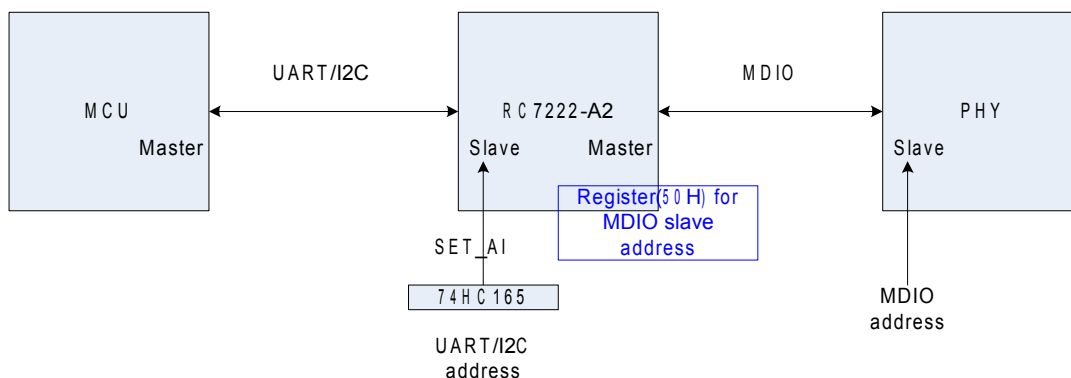


图 4-4-2-1 单片机、RC7222-A2 与 PHY 之间管理接口的连接

#### 4.4.3 MAC 工作模式

以太网接口相关的模式包括自协商、10M/100M、半双工/全双工、流控和冲突丢包模式设置。RC7222-A2 与以太网 PHY 芯片协同工作，配置上述功能时需要同时考虑 RC7222-A2 和以太网 PHY 芯片。

##### 10M/100M 模式

10M/100M 模式只需要配置以太网 PHY 芯片。当以太网 PHY 芯片为 100M 模式时，以太网 PHY 芯片送给 RC7222-A2 的 RX\_CLKI/TX\_CLKI 为 25MHz 时钟信号；当以太网芯片为 10M 模式时，以太网 PHY 芯片送给 RC7222-A2 的 RX\_CLKI/TX\_CLKI 为 2.5MHz 时钟信号，RC7222-A2 能够自动检测和自适应，检测结果可以通过寄存器 Phy\_speed(00.0FH[1])观察，因此不需要配置 RC7222-A2。

##### 半双工/全双工模式

半双工/全双工模式需要同时配置以太网 PHY 芯片和 RC7222-A2，可以通过管脚 DUPLEX\_MODI 或寄存器 00.51H[2]进行配置，通过寄存器 duplex\_mod(00.04H[2])可以观察最终配置结果。当 duplex\_mod(00.04H[2])=0 时，表示半双工模式；寄存器 duplex\_mod(00.04H[2])=1 时，表示支持全双工模式。

需要注意管脚 **DUPLEX\_MODI** 输入低电平表示全双工，寄存器 **00.51H[2]** 和寄存器 **duplex\_mod(00.04H[2])** 是 **1** 表示全双工。

##### 流量控制

流量控制功能是以太网 MAC 层功能，只需要配置 RC7222-A2。可通过寄存器 00.51H[1]配

置流量控制功能，通过 `mac_pause(00.04H[1])` 观察最终配置结果。当 RC7222-A2 的寄存器 `mac_pause(00.04H[1])=0` 时，关闭流量控制功能；当 RC7222-A2 的寄存器 `mac_pause(00.04H[1])=1` 时，开启流量控制功能。注意只有在全双工模式下，RC7222-A2 通过发送 802.3 定义的流量控制帧(pause 帧)实现流量控制；在半双工模式下 RC7222-A2 不支持流量控制。

流量控制功能开启后，RC7222-A2 检测到缓存快满时可通过发送 `pause` 帧要求发送以太网帧的设备暂停，避免缓存溢出造成丢包

### 冲突丢包模式

冲突丢包是以太网 MAC 层功能，只需要配置 RC7222-A2，可通过寄存器 `51H[3]` 配置冲突丢包模式，通过 `Col16_discard_en(00.04H[3])` 观察最终配置结果。当 RC7222-A2 的寄存器 `Col16_discard_en(00.04H[3])=1` 时，RC7222-A2 会冲突进行计数，连续 16 次冲突后，RC7222-A2 将丢弃当前发送(MII 接口输出方向)的以太网包；当 RC7222-A2 的寄存器 `Col16_discard_en(00.04H[3])=0` 时，无论冲突多少次 RC7222-A2 都不会丢弃当前发送的以太网包，直到发出为止。

因为只有半双工模式下才可能出现冲突，因此冲突丢包模式配置只在半双工模式下需要考虑。

### 自协商

自协商是指对通的以太网设备自动协商 10M/100M 和半双工/全双工模式，自协商功能只需要配置以太网 PHY 芯片。当以太网 PHY 芯片开启自协商功能后，需要监视协商结果，保证 RC7222-A2 和以太网 PHY 芯片的双工模式一致。

在 RC7222-A2 中很多配置项都有多个配置源，例如上述 `duplex_mod` 可以通过管脚或寄存器都能配置，因此当配置项具有多个配置源时，RC7222-A2 提供 2 个寄存器：配置寄存器和最终结果寄存器。表 4-4-3-1 为以太网接口工作模式相关管脚、配置寄存器和最终结果寄存器列表。

表 4-4-3-1 以太网接口工作模式配置

序号	功能描述	RC7222-A2 配置	RC7222-A2 状态读取	以太网 PHY 配置
----	------	-----------------	-------------------	---------------

1	10M/100M	-	Phy_speed(00.0FH[1]) 0=10Mb/s 1=100Mb/s	配置 speed 寄存器
2	半双工/全双工	管脚 DUPLEX_MODI 或寄存器 00.51H[2]	duplex_mod(00.04H[2]) 0=half-duplex+full-duplex 1=full-duplex only	配置 duplex 寄存器
3	流量控制	寄存器 00.51H[1]	mac_pause(00.04H[1]) 0=close 1=open pause	-
4	冲突丢包	寄存器 51H[3]	Col16_discard_en(00.04H[3]) 0=冲突后不丢包 1=冲突 16 次后丢包	-
5	自协商	从 PHY 芯片映射寄存器读取自协商后的速率和双工模式，并保持 RC7222-A2 的双工模式与以太网 PHY 芯片一致	配置 Auto-Negotiation 寄存器	

## 4.5 数据封装

RC7222-A2 支持 GFP 和 HDLC 封装，通过寄存器 cGFP\_SEL(11.00H[0])选择，当 cGFP\_SEL=0 时表示 HDLC 封装，cGFP\_SEL=1 时表示 GFP 封装。

### 4.5.1 HDLC 封装

RC7222-A2 的 HDLC 成解帧器支持 2 种 HDLC 帧：

- (1)与 RJ017 兼容 HDLC 帧：用于封装和传送以太网帧，能够与 RJ017 兼容设备互通；
- (2)特殊格式 HDLC 帧：用于封装和传送用户自定义管理帧；

注：HDLC 帧具有 CRC 校验字节，当用于封装以太网帧时所用的 CRC 校验格式称为 CRC-H，当用于封装用户自定义管理帧时所用的 CRC 校验格式称为 CRC-O。

以太网帧也均具有 CRC 校验字节，称为 CRC-E；用户自定义管理帧的格式由用户定义，

RC7222-A2 负责透明传输。

RJ017 HDLC 帧中，将以以太网帧去除 32 比特 CRC-E 校验，帧尾添加 16 比特 CRC-H 校验，并用 7EH 做为帧头和帧尾的定界。如图 4-6-1 所示。

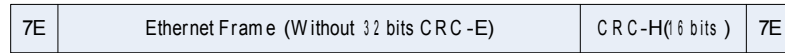


图 4-5-1-1 RJ017 HDLC 帧格式

### 4.5.2 GFP 封装

GFP-F(Frame-mapped Generic Framing Procedure)是 ITU G.7041 定义的标准封装协议，以字节为单位，将变长度的数据载荷映射到同步字节通道中去。如图 4-5-2-1 所示，以太网帧（不包括前导码、定界符）被封装到一个 GFP 帧中，各字段含义如下表所示。其中 GFP 帧中的 FCS 校验字（GFP FCS）、GFP 扩展头（GFP extension hdr）为可选字段。

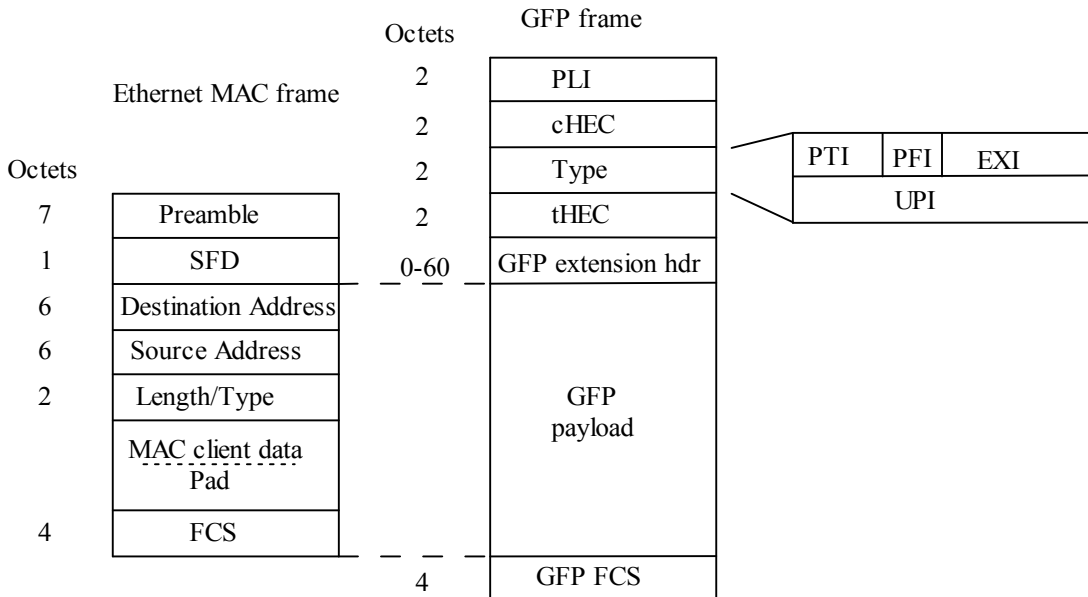


图 4-5-2-1 GFP 帧格式

表 4-5-2-1 GFP 字段说明

<b>PLI</b>	Payload Length Indicator field, GFP 帧的长度； 指示从 Type 字端到 GFP FCS 全部载荷区（Payload area）的字节数（包括 Type 和 GFP FCS）；	
<b>cHEC</b>	Core HEC field, 对 PLI 进行 CRC-16 运算后的结果； PLI 与 cHEC 组成的帧头（core header）数据需要经过与 0xB6AB31E0 进行异或运算，实现扰码；	
<b>TYPE</b>	<b>PTI</b>	Payload type identifier, 3 比特，指定 GFP 帧的服务类型； 现在定义了两种帧，数据帧（PTI=000）和管理帧（PTI=100）；
	<b>PFI</b>	Type field indicator, 1 比特，指定是否使用 FCS 字节； PFI=1 表示使用 FCS 字节；
	<b>EXI</b>	Extension Header Identifier, 4 比特，指定扩展头的类型；

		现定义了 3 种扩展头： "0000" 表示扩展头为空； "0001" 表示线性帧（linear frame）； "0010" 表示环形帧（ring frame），标准尚未详细定义。
	<b>UPI</b>	User Payload Identifier, 8 比特, 指定数据帧或管理帧里的数据类型； 具体定义见表 4-6-2-3。
	<b>tHec</b>	Type Header Error Control Field, 2 字节, 对 Type 两个字节的 CRC-16 校验结果。
	<b>GFP extension hdr</b>	GFP extension headers, 4 个字节, 线性扩展头； 具体定义见表 4-6-2-2；
	<b>GFP payload</b>	GFP 帧的有效载荷, 在这里承载的是从 MAC 目的地址到以太网帧校验的完整的以太网帧, 不包括以太网帧的前导码（Preamble）和定界符（SFD）。
	<b>GFP FCS</b>	对 GFP 帧的 GFP payload 的 CRC-32 校验。 GFP 帧是否包含 FCS, 由 PTI 决定。载荷区（Payload area）的数据, 从 Type 字端到 GFP FCS, 需要进行 $x^{43}+1$ 的扰码与解扰码。扰码运算是自同步的, 且每个帧载荷的扰码是连续的。

表 4-5-2-2 线形扩展头字段说明

字节	含义
CID	GFP 终端中最多 256 个通道编号。
Spare	保留字节
eHEC	扩展头的 CRC-16 校验。
eHEC	

表 4-5-2-3 UPI 说明

PTI = 000（数据帧）	
Type bits<7:0>	GFP frame payload area
0000 0000 1111 1111	Reserved and not available
<b>0000 0001</b>	<b>Frame-Mapped Ethernet(RC7222-A2 支持)</b>
0000 0010	Frame-Mapped PPP
0000 0011	Transparent Fibre Channel
0000 0100	Transparent FICON
0000 0101	Transparent ESCON
0000 0110	Transparent Gb Ethernet
0000 0111	Reserved for future
0000 1000	Frame-Mapped Multiple Access Protocol over SDH (MAPOS)
0000 1001	Transparent DVB ASI
0000 1010	Framed-Mapped IEEE 802.17 Resilient Packet Ring
0000 1011	Frame-Mapped Fibre Channel FC-BBW
0000 1100	Asynchronous Transparent Fibre Channel
0000 1101	Frame-Mapped MPLS (Unicast)

0000 1110	Frame-Mapped MPLS (Multicast)
0000 1111	Frame-Mapped IS-IS
0001 0000	Frame-Mapped IPv4
0001 0001	Frame-Mapped IPv6
0001 0010	Frame-mapped DVB-ASI
0001 0011 到 1110 1111	为将来的标准预留
1111 0000 到 1111 1110	用于私有定义
<b>PTI = 100 (网管帧)</b>	
UPI value	Usage
0000 0000 1111 1111	Reserved
0000 0001	Client Signal Fail (Loss of Client Signal)
0000 0010	Client Signal Fail (Loss of Character Synchronization)
0000 0011 到 1101 1111	为将来预留
1110 0000 到 1111 1110	用于私有定义

### 协议处理

GFP 成帧时，以太网帧封装成 GFP 数据帧 (PTI=000, UPI=00000001)，用户自定义管理帧封装成 GFP 管理帧，RC7222-A2 也能发送特殊的 GFP 管理帧 CSF 帧 (PTI=100, UPI=00000001 或 00000010)。通过寄存器可以配置 UPI、PTI、PFI、EXI、CID。成帧器根据配置的 EXI 决定 GFP 帧具有空扩展头或线性扩展头，根据配置的 PFI 决定是否携带 FCS 校验。

GFP 解帧时，仅根据 PTI 和 UPI 的值进行区分：PTI=100 且 UPI=00000001 或 00000010 的作为 CSF 帧接收，其它作为用户自定义管理帧接收；PTI=000 的 GFP 帧均作为以太网数据帧接收。自适应空扩展头和线性扩展头，自适应带 FCS 或不携带 FCS 的帧。同时提供 GFP 帧失步告警和 GFP 帧计数。

### 4.5.3 用户自定义管理帧

用户自定义管理帧用于对通的 RC7222-A2 设备的单片机相互通信，传递配置或告警信息。RC7222-A2 能够将用户自定义管理帧进行封装，与封装后的以太网数据使用相同的通道，这种用户自定义管理帧也被称为带内网管帧。

通常本地远端设备单片机之间通信可以使用 SA 比特，但 SA 比特位于 G.704 帧的第 0 时隙，

因此一旦 G.704 成解帧器被旁路(非成帧模式)，第 0-31 时隙都将被占用传送以太网数据，则 SA 比特将不能使用。

用户自定义管理帧与以太网帧使用相同的通道，只要能够传送以太网帧就能够传送用户自定义管理帧，从而克服了使用 SA 比特的限制。

### 用户自定义管理帧格式与封装

用户自定义管理帧与以太网帧使用同一个通道，因此要求在接收侧必须能够正确区分 2 种帧。

RC7222-A2 对用户自定义管理帧有特殊要求和处理：

- (1) 要求用户自定义管理帧净荷长度必须小于等于 59 个字节；
- (2) 用户自定义管理帧净荷封装到 HDLC 帧时采用 CRC 校验方式(CRC-O)，CRC-O 格式可以选择，寄存器 cTOAM\_Order(11.03H[3])和寄存器 cROAM\_Order(11.03H[1])可分别选择发送和接收时 CRC-O 格式；cTOAM\_Order/cROAM\_Order 为 1 时表示与 RJ017 定义的 CRC-H 相同，为 0 时表示遵循中国移动企业标准。

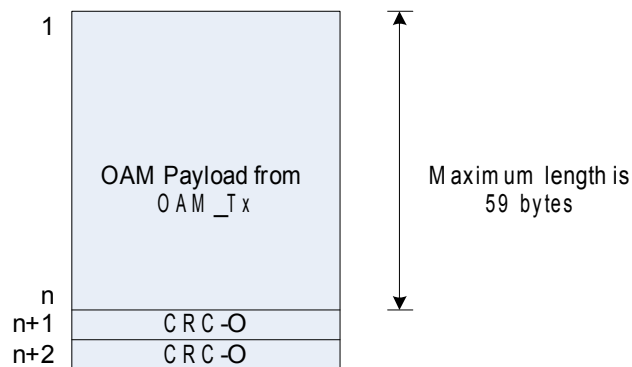


图 4-5-3-1 用户自定义管理帧格式

- (3) 用户自定义管理帧净荷(长度不超过 59 字节)封装到 GFP 帧时 PTI=100, UPI/=00000001 或 00000010 在接收侧根据 PTI 和 UPI 的值来区分用户自定义管理帧和以太网帧。

### 发送用户自定义管理帧

发送用户自定义管理帧需要单片机控制。单片机将需要发送的用户自定义管理帧净荷写入发送用户自定义管理帧缓存寄存器 OAM\_Tx (10.80H-10.BAH)，其中 10.80H 为第 1 个字节；将需要发送的用户自定义管理帧净荷长度(以字节为单位)写入发送用户自定义管理帧净荷长度寄存器 cGT\_MngLen (10.04H[5:0])，用户自定义管理帧净荷长度为 1-59 字节。

通过发送触发寄存器 cGT\_MngEn (10.03H[0])启动发送过程：寄存器 cGT\_MngEn 从 0 到 1



的一次翻转，触发一次用户自定义管理帧的发送操作。注意寄存器 `cGT_MngEn` 不会自动归零，因此单片机将 `cGT_MngEn` 从 0 写为 1 触发 1 次发送操作后应再将 `cGT_MngEn` 写回 0，以准备下一次触发。

RC7222-A2 将根据寄存器 `cGT_MngLen` 从发送用户自定义管理帧缓存寄存器 `OAM_Tx` 中取得数据，封装成 HDLC 帧或 GFP 帧后向 WAN 接口发送，发送用户自定义管理帧的优先级高于以太网帧，即当同时有用户自定义管理帧和以太网帧需要发送时，先发送用户自定义管理帧，再发送以太网帧。

需要特别注意：RC7222-A2 传送以太网数据 HDLC 帧格式与业界流行的 RJ017 兼容，即 RC7222-A2 设备可以与其他 RJ017 兼容设备对通，如果 RC7222-A2 向不支持用户自定义管理帧的设备发送用户自定义管理帧，可能会造成告警，例如出现超短帧计数或错帧计数。

### 接收用户自定义管理帧

RC7222-A2 从 WAN 口接收的数据流中包含用户自定义管理帧和以太网帧，如果设定 HDLC 封装(`cGFP_SEL=0`)，RC7222-A2 的 HDLC 解帧器在解 HDLC 帧时将净荷长度小于或等于 59 字节，且 CRC-O 校验正确的作为用户自定义管理帧；如果设定 GFP 封装(`cGFP_SEL=1`)，RC7222-A2 的 GFP 解帧器把 PTI=100 且 UPI/=00000001 或 00000010 的 GFP 帧作为用户自定义管理帧。

RC7222-A2 将接收到的用户自定义管理帧净荷放入接收用户自定义管理帧缓存寄存器 `OAM_Rx(10.C0H-10.FAH)`，并向接收用户自定义管理帧净荷长度寄存器 `sGR_MngLen(10.53H[5:0])` 中写入用户自定义管理帧净荷长度；接收用户自定义管理帧完毕后，将接收用户自定义管理帧缓存满标志 `aGR_mng_get(10.54H[0])` 置 1，此时单片机可以读取接收的用户自定义管理帧净荷。

接收用户自定义管理帧缓存满标志 `aGR_mng_get` 为 1 时，将不再接收新的用户自定义管理帧。因此当单片机将接收的用户自定义管理帧净荷全部读取后，应通过寄存器 `cGR_mng_clr(10.44H[0])` 清除接收用户自定义管理帧缓存满标志 `aGR_mng_get`，准备接收新的用户自定义管理帧。

寄存器 `cGR_mng_clr=1` 时将接收用户自定义管理帧缓存满标志 `aGR_mng_get` 清零后开始接收新的用户自定义管理帧，因此单片机应及时将寄存器 `cGR_mng_clr` 写 0，退出清除状态，以保证接收到新的用户自定义管理帧后，接收用户自定义管理帧缓存满标志 `aGR_mng_get` 能够正常通知单片机

表 4-5-3-1 用户自定义管理帧发送接收

发送用户自定义管理帧	
1	单片机将用户自定义管理帧净荷写入 OAM_Tx (10.80H-10.BAH), 其中 10.80H 为第 1 个字节
2	单片机用户自定义管理帧净荷长度(以字节为单位)写入 cGT_MngLen (10.04H[5:0]), 有效长度为 1-59 字节
3	单片机写触发寄存器 cGT_MngEn (10.03H[0])从 0->1 启动发送
4	单片机写触发寄存器 cGT_MngEn (10.03H[0])为 0 结束发送用户自定义管理帧
接收用户自定义管理帧	
轮询	单片机轮询接收用户自定义管理帧缓存满标志 aGR_mng_get, 当发现 aGR_mng_get 为 1 时进入接收步骤
1	单片机读取接收用户自定义管理帧净荷长度寄存器 sGR_MngLen (10.53H[5:0]), 有效长度为 1-59 字节
2	单片机根据 sGR_MngLen 从接收用户自定义管理帧缓存寄存器 OAM_Rx(10.C0H-10.FAH)读取数据
3	读取完成后向寄存器 cGR_mng_clr(10.44H[0])写入 1
4	单片机向寄存器 cGR_mng_clr(10.44H[0])写入 0 结束接收用户自定义管理帧, 进入轮询

## 4.6 SDRAM 接口

### 4.6.1 SDRAM 管脚

RC7222-A2 使用片外的 64Mbit SDRAM 作为缓存。在选用 SDRAM 芯片时，要求其数据线宽度为 16 位，支持 CAS 延迟为 2 个时钟周期，支持 burst 为 8 的读写操作。推荐使用的 SDRAM 型号有：Samsung 公司的 K4S641632F-75/TC1H/TL1H、K4S641632E TL1L、K4S641632H TC75；Hynix 公司的 HY57V641620HG TH，Hynix 公司的 HY57V641620E 系列 SDRAM。

RC7222-A2 的 SDRAM 控制器与外接 SDRAM 的接口信号有：**RASO、CASO、WEO、DQMO、BAO[1:0]、ADDO[11:0]、DQ[15:0]、DRAM\_CLKO**。RC7222-A2 给外部 SDRAM 提供了一个时钟信号 DRAM\_CLKO，为系统时钟 CLK65I 输入时钟的 2 分频。时序关系见图 7.4.2。

RC7222-A2 与 SDRAM 之间的连接关系如下：

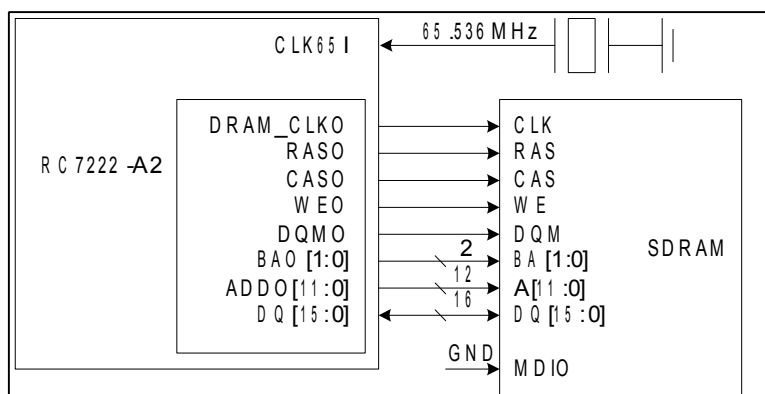


图 4-6-1-1 SDRAM 接口的连接

SDRAM 器件管脚细密，连线多且信号速率较高，在 PCB 焊接时容易出现虚焊、连焊等故障。RC7222-A2 提供对 SDRAM 芯片的扫描测试功能，并提供检测结果指示，详见 4.8.1 SDRAM 测试。

## 4.6.2 缓存容量选择

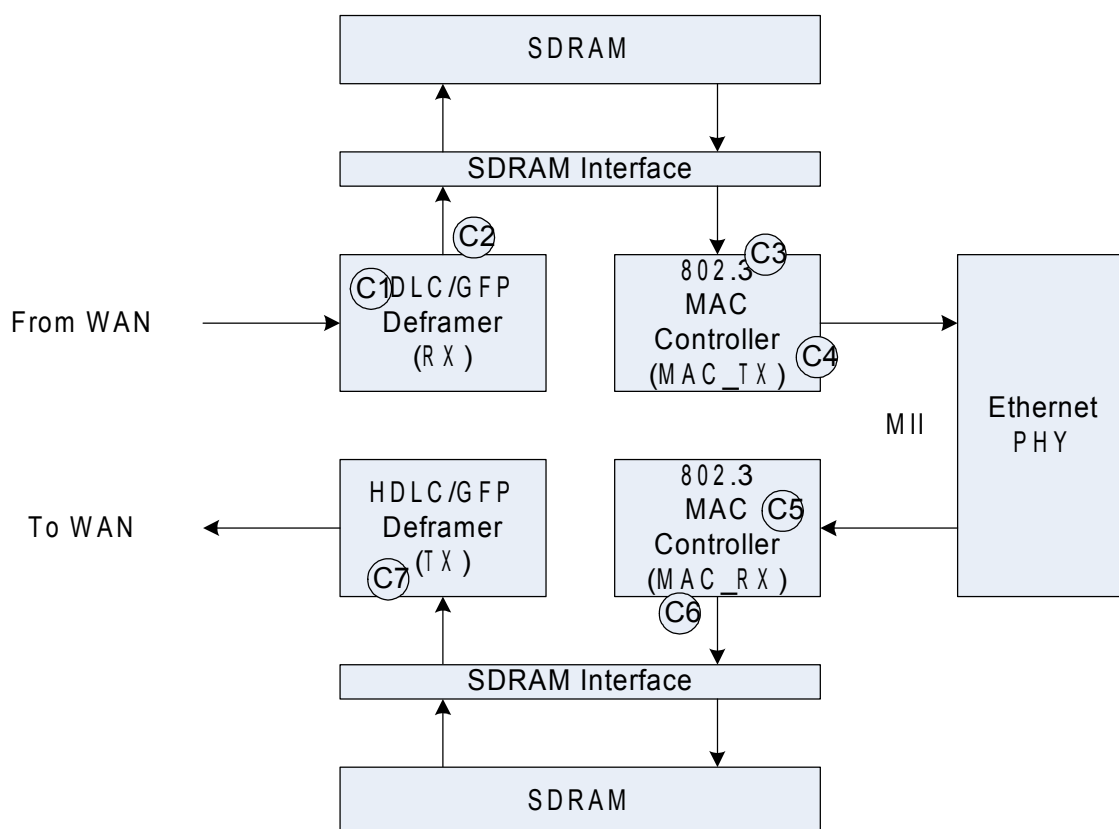


图 4-6-2-1 SDRAM 缓存连接示意图

RC7222-A2 使用 64Mbit SDRAM，从 WAN 接口到 MII 接口方向，由于 WAN 接口速率远小于 MII 接口速率，没有数据突发情况，缓存容量固定，延迟很小。

从 MII 接口到 WAN 接口方向，MII 接口速率可能远大于 WAN 接口速率，例如 MII 接口为 100MHz，而 WAN 接口速率选择 E1 接口时最大只有 2.048MHz，需要有足够的缓存容量以减少数据突发时的丢包，但缓存越大造成数据传输的延迟也越大，需要根据不同情况，平衡抗突发能力和传输延迟提高系统整体性能。

从 MII 接口到 WAN 接口方向，RC7222-A2 提供了大小两种缓存模式。管脚 BUFFER\_SEL1 输入高电平时，为大缓存模式，缓存容量为 512 个帧；BUFFER\_SEL1 输入低电平时，为小缓存模式，缓存容量会根据 WAN 接口传输以太网数据的实际速率自动调整，调整范围为 32 到 256 个帧。

例如时隙分配时用 1 个时隙(64Kb/s)传输以太网数据，缓存容量为 32 个帧；2 个时隙时缓存容量为 64 个帧；当 32 个时隙全部用于传送以太网时，缓存容量为 256 个帧。

WAN 口为 E1 接口时，建议采用为小缓存模式。芯片的缓存模式设置可以通过寄存器 BUFFER\_SEL 观察。该管脚的输入电平改变网管寄存器 00.06H[3]。

### 4.6.3 帧统计功能

由于以太网接口情况复杂，在数据大量突发、半双工等情况下都可能出现丢包，SDRAM 接口管脚细密，连线多且信号速率较高，也是设备中易发生故障的区域，一旦 SDRAM 接口出现故障也容易导致丢包。因此在 HDLC 成解帧-SDRAM-MAC 部分，RC7222-A2 提供全面的统计功能，用于监视工作状态，及时发现和排除问题。

在 HDLC 模式下 HDLC 解帧器从 WAN 接口接收方向，经过解帧操作后在统计点 C1 首先对接收到 HDLC 帧数和字节进行统计，帧个数统计 `hdlc_RxPktCnt` 和字节统计 `hdlc_RxByteCnt`，这 2 个统计信息是包含 CRC-H 校验正确或错误的所有帧。

对接收到的 HDLC 帧进行 CRC-H 校验后，统计出 CRC-H 校验错帧个数 `hdlc_RxCrcPkt`；解除 HDLC 封装取出数据帧，并检查数据帧长度，分别给出超长帧统计 `hdlc_RxOversizePkt`，超短帧统计 `hdlc_RxUndersizePkt`，这些统计信息可以反映从 WAN 接口接收到的数据质量。

HDLC 解帧器从 WAN 接口接收到的正确的数据帧将写入 SDRAM，在统计点 C2 给出因缓存不足产生的丢弃帧统计 `hdlc_RxAbandonPkt`。因为从 WAN 接口接收的数据流最高速率为 2.048Mb/s，MAC 控制器从 SDRAM 读取的最低速率应该不小于 5Mb/s(MII 接口为 10M，半双工模式)，因此正常情况下应不出现丢帧，当 `hdlc_RxAbandonPkt` 计数不为 0 时表明 SDRAM 接口连接上可能有故障或者芯片工作异常。

MAC 发送模块(MAC\_TX)从 SDRAM 读取数据帧时，在统计点 C3 给出错误帧数统计 `Eth_TxBadPkt`(超长、超短帧认为是错帧)。

MAC 发送模块(MAC\_TX)向以太网 PHY 芯片发送点为统计点 C4，向以太网 PHY 发送的正确字节统计 `Eth_TxGoodByte`，正确以太网帧个数统计 `Eth_TxGoodPkt`。在流量控制功能开启时(寄存器 `mac_pause(00.04H[1])=1`)，提供发送流控帧数统计 `Eth_TxPausePkt`。虽然 `Eth_TxPausePkt` 的统计点 C4 位于向以太网 PHY 芯片发送方向，但实际反映以太网 PHY 芯片向 MAC\_RX 的数据突发程度。

当以太网接口为半双工模式时，在统计点 C4 进行发送时以太网上冲突次数统计 `Eth_Collision`；如果以太网接口为半双工模式且允许连续 16 次冲突后丢帧(`Col16_discard_en=1`)，则对丢帧个数也进行统计 `Eth_TxExcessiveCol`。

MAC 接收模块从以太网 PHY 芯片接收方向，在统计点 C5 首先对收到的总字节数进行统计 Eth\_RxBytecnt，其中包含正确或错误的所有帧的字节。经过帧长检查和 CRC-E 校验后，分别给出：

超短帧数统计 Eth\_RxErrorsizePkt，

超长帧数统计 Eth\_RxOversizePkt，

CRC 校验错帧数统计 Eth\_RxCrcerrorPkt(注意其中不包含超长、超短帧)，

广播帧数统计 Eth\_RxBroadcast(不包含 CRC-E 校验错误的广播帧)，

多播帧数统计 Eth\_RxMulticast(不包含 CRC-E 校验错误的多播帧，不包括广播帧)，

正确帧数统计 Eth\_RxGoodPkt(除去超长、超短帧和 CRC 校验错的帧后的帧个数统计)，

正确字节统计 Eth\_RxGoodByte(除去超长、超短帧和 CRC 校验错的帧后的字节数统计)。

注意在半双工模式下会因为冲突导致接收未完成，这样也会形成的超短帧，但这种超短帧会直接丢弃，不计入超短帧数统计 Eth\_RxErrorsizePkt。

如果没有开启流量控制功能(寄存器 mac\_pause(00.04H[1])=0)，当以太网数据突发时就可能导致缓存不足而丢帧，因此在 MAC\_RX 向 SDRAM 写入设置统计点 C6，进行因缓存不足丢弃的帧数统计 Eth\_RxAbandonPkt。

HDLC 成帧器向 WAN 接口发送方向，HDLC 成帧器从 SDRAM 中读取数据，在统计点 C7 监视读取的数据帧的长度，当出现超长超短帧时，计入错帧统计 hdlc\_TxEPktCnt。正常情况下 MAC RX 模块不会向 SDRAM 写入有错误的帧，因此当 hdlc\_TxEPktCnt 不为 0 时表明 SDRAM 接口连接上可能有故障。

HDLC 成帧器将以太网帧和 HDLC 开销组成 HDLC 帧，并进行 HDLC 帧总字节数统计 hdlc\_TxByteCnt 和发送 HDLC 帧个数统计 hdlc\_TxPktCnt。然后进行 HDLC 编码并发送。

注意：RC7222-A2 支持的最大以太网帧为 2031 字节，超过 2031 字节的以太网帧被定义为超长帧；RC7222-A2 支持的最小以太网帧为 64 字节，小于 64 字节的以太网帧被定义为超短帧。超长帧和超短帧都被认为是错帧。

在 GFP 模式下 GFP 解帧器从 WAN 接口接收方向，经过解帧操作后在统计点 C1 首先对接收到 GFP 帧数和字节进行统计，帧个数统计 rpcRALLP 和字节统计 rpcGR\_ALLByte，这 2 个统计信息是包含错帧在内的所有帧。

对接收到的 GFP 帧进行 FCS 校验和帧长校验后，统计出 FCS 错帧和超长、超短帧计数

rpcErrP，这些统计信息可以反映从 WAN 接口接收到的数据质量。对接收到的 GFP 管理帧 (PTI=100)也统计出计数值 rpcGR\_NetPkt。

GFP 成帧器向 WAN 接口发送方向，对 GFP 帧个数、字节数进行统计，给出 rpcGT\_AllPkt 和 rpcGT\_AllByte。对以太网 CRC 校验错帧也进行统计给出 rpcGT\_ErrPkt。

## 4.7 SA 比特应用

G.704 定义的奇数子帧的 TS0 中有 5 个备用比特(SA)，通常在使用中用于自定义的告警、控制信息传输。RC7222-A2 提供了 3 种方式使用 SA 比特：

表 4-7-1 SA 比特通道使用方式

管脚 SA_MODI	寄存器 cByteSa_SEL(11.01H[0])	使用方式
1	x	SA 形成异步串行通道，并连接到芯片管脚
0	1	字节传递方式
0	0(default)	内建帧传递方式

当管脚 SA\_MODI 接低电平且寄存器 cByteSa\_SEL=0 时，称为内建帧传递方式。

在内建通信方式下，RC7222-A2 占用全部 5 个 SA 比特，用于传递一种连续的数据帧，该数据帧被称为内建帧。RC7222-A2 通过内建帧将 MIB 寄存器 00.00-00.4FH 的内容全部传送到远端，并放入远端 RC7222-A2 的 MIB 寄存器 00.80-00.CFH 中。本地 MIB 寄存器 00.00-00.4FH 的内容全部传送到远端需要 80ms，即在远端 RC7222-A2 的 MIB 寄存器 00.80-00.CFH 将每 80ms 更新一次。

RC7222-A2 对 self\_dff 寄存器(00.14H)进行特殊的加速传递，16ms 即可完成，即在远端 RC7222-A2 的寄存器 00.94H 每 16ms 更新一次。

SA 内建帧是否正常接收可以通过寄存器 remote\_valid(00.0FH[0])观察，remote\_valid=1 时表示 SA 内建帧能正常接收，所有通过 SA 内建帧获得的对端信息均能正常更新，包括 MIB 寄存器 00.80-00.FEH 和寄存器 Remote\_e1full(00.0EH[0])。

注意 remote\_valid 经过综合判断结果，不仅判断内建帧接收是否同步、校验是否正确，还包括其他会导致内建帧接收异常的因素，例如 WAN 接口接收方向出现 AIS、LOF 等告警，或者如 SA\_MODI 配置为 1 等。

当 remote\_valid=0 时，如果能够确认 WAN 接口接收方向无告警且 SA\_MODI 配置正确时，可进一步观察内建帧接收的两种告警：内建帧失步(manage\_lof)和内建帧误码(manage\_err)来分析故障原因，见寄存器 00.0DH[1:0]。

当管脚 SA\_MODI 接低电平且寄存器 cByteSa\_SEL=1 时，称为字节传递方式。

在字节传递方式下，RC7222-A2 将寄存器 11.80H-11.84H 的值通过 SA 比特传送到对端并放入对端的寄存器 11.88H-11.8CH 中。具体方法是将每个 G.704 复帧中的 SA 比特组成一个传送单元，用于传送寄存器的值。寄存器与 SA 比特的对应关系如图：

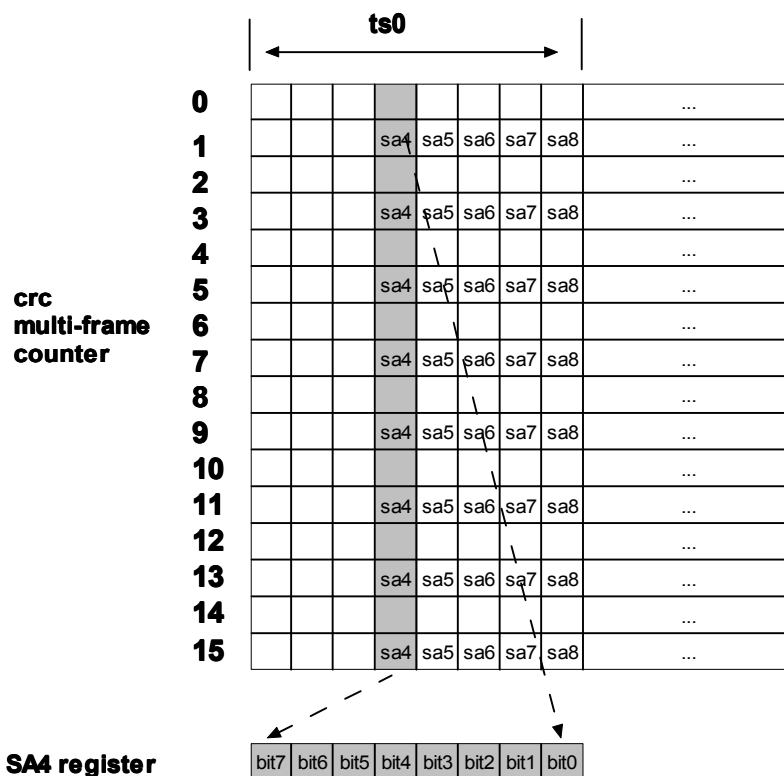


图 4-7-1 字节传递方式下寄存器与 SA 比特对应关系

当 SA\_MODI 管脚接高电平时，SA 比特被串接起来形成一个异步串行通道，并连接到芯片的 SA 接口上。需要注意选择光接口或 E1 接口作为 WAN 接口，且 G.704 成解帧器不被旁路(即必须是成帧模式)，备用比特才能通过 SA 接口提供。

RC7222-A2 的 SA 接口为同步 20kb/s 接口，即输出方向提供 20KHz 时钟信号 SA\_RCKO 用于外部器件对输出的数据 SA\_RDO 采样，SA\_RDO 由 SA\_RCKO 上升沿更新，外部器件应用 SA\_RCKO 下降沿对 SA\_RDO 进行采样。

输入方向由 RC7222-A2 输出 20KHz 时钟信号 SA\_TCKO，并用 SA\_TCKO 上升沿对输入数据 SA\_TDI 进行采样，外部器件应用 SA\_TCKO 下降沿更新 SA\_TDI 数据。



## 4.8 测试功能

### 4.8.1 SDRAM 测试

SDRAM 器件管脚细密，连线多且信号速率较高，在 PCB 焊接时容易出现虚焊、连焊等故障。RC7222-A2 提供对 SDRAM 芯片的扫描测试功能，并提供检测结果指示。

当输入管脚 SDRAM\_TEST1 为高电平时，RC7222-A2 进入 SDRAM 扫描检测状态：此时 TEST1\_LED0&TEST2\_LED0 输出为 01；RC7222-A2 对 SDRAM 进行初始化，模式设置，自动刷新，并对 SDRAM 所有单元进行写操作和读操作。

在检测过程中 TEST3\_LED0 输出低电平，完成检测后 TEST3\_LED0 输出高电平。如果检测结果正常 TEST4\_LED0 输出低电平，否则 TEST4\_LED0 输出高电平。

测试指示灯输出见表 4-8-3-1。

### 4.8.2 误码测试

RC7222-A2 内置误码测试仪(BERT)提供面向 WAN 接口的误码测试功能，可以帮助诊断设备 WAN 接口或传输线路的故障。

BERT 启动有 2 个方式：通过寄存器 Net\_line\_test(00.18H[6])或寄存器 cPrbs\_TEST(11.04H[2])，其中寄存器 Net\_line\_test(00.18H[6])是复合指令，同时启动远端环回和 BERT。3 个指令之间的关系可参见图 4-2-4-1-1。

以寄存器 cPrbs\_TEST(11.04H[2])为例描述 BERT 的功能。当 cPrbs\_TEST =1 时，BERT 模块向 WAN 接口方向以太网占用的时隙内插入  $2^{15}-1$  图案的伪随机序列（可以和一般误码测试仪互通），BERT 模块同时从 WAN 接口接收方向以太网占用的时隙中提取数据进行检测，并产生失步告警(寄存器 TEST3\_LED0=1，管脚 TEST3\_LED0 输出高电平)和误码告警(寄存器 TEST4\_LED0=1，管脚 TEST4\_LED0 输出高电平)。

当寄存器 Net\_line\_test 为 1 时，RC7222-A2 同时向 WAN 接口方向插入远端环回指令，如果对端芯片也是 RC7222-A2，则不需要额外操作即可实现远端环回。当 cPrbs\_TEST=1 时，RC7222-A2 只启动 BERT 功能；需要通过其他途径实现远端环回，例如在远端手工进行环回操作。

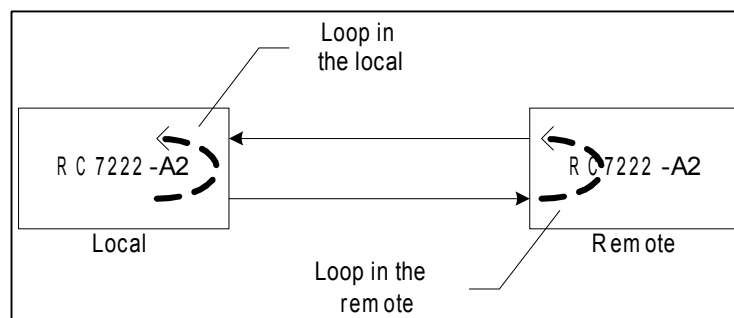


图 4-8-2-1 误码测试的应用

注意：伪随机序列检测功能只处理 WAN 接口方向以太网占用的时隙，例如分配以太网数据使用第 1、5 时隙，则伪随机序列只插入第 1、5 时隙，并且只检测接收方向第 1、5 时隙中的内容。如果没有给以太网数据分配时隙，则不能进行伪随机序列检测。

### 4.8.3 测试指示灯

**TEST1\_LED0**、**TEST2\_LED0** 用于指示 RC7222-A2 的工作状态；**TEST3\_LED0**、**TEST4\_LED0** 用于指示测试结果，具体功能见下表。

表 4-8-3-1 测试指示灯状态

工作状态	TEST1_LED0 & TEST2_LED0	TEST3_LED0	TEST4_LED0
正常工作	00	高电平表示产生了软复位，该信号为短暂的脉冲。	高电平表示停止向以太网发送数据。
SDRAM 测试	01	高电平表示测试结束。	高电平表示 SDRAM 错误。
本地环回或被远端环回	10	高电平表示产生过软复位，该信号为短暂的脉冲。	高电平表示停止向以太网发送数据。

伪随机码测试且发送远端环回	11	高电平表示伪随机序列图案帧失步。	高电平表示出现误码。
---------------	----	------------------	------------

## 4.9 芯片软复位

由于以太网的网络状况非常复杂，例如有些以太网故障时会出现大量无效的碎包，可能会造成以太网芯片处理异常，因此很多以太网设备都提供软复位功能。为以防万一 RC7222-A2 设计了软复位功能，但复位范围只包括以太网数据处理部分，包括：SDRAM 控制模块、以太网 MAC 模块和 HDLC/GFP 成解帧模块，其他部分如寄存器、G.704 成帧/解帧器、E1 接口等模块不进行复位。

为防止发生误操作，RC7222-A2 对软复位功能增加一个开关即寄存器 Reset\_en(00.18H[4])，只有 Reset\_en=1 时才能使用软复位功能。当 Reset\_en=1 时，向寄存器 Reset\_cmd(00.18H[5]) 写入 1 时可以实现软复位，软复位完成后 RC7222-A2 自动将 Reset\_cmd 置 0。

## 5.网管使用说明

### 5.1 寄存器地址划分

RC7222-A2 的寄存器划分为 3 页，分别为 Page00、Page10、Page11，每页有 256 个字节，即每页中寄存器地址编码为 001H-FFH。本文中涉及寄存器地址时均标示页地址和在页中的寄存器地址，例如 00.18H[5]。4 个寄存器页的描述如下：

Page00 为配置和告警寄存器，称为 MIB 寄存器页。从 00H-7EH 为本地配置和告警寄存器，80H-FEH 是远端 RC7222-A2 芯片的 MIB 寄存器 00H-7EH 寄存器在本地的映射，是通过 SA 内建帧方式读取远端寄存器并放到本地，详见 4.7 节 SA 比特应用。

通过 Page00 的 00.19H-00.1DH 可以获取部分以太网 PHY 芯片的寄存器状态。在 IEEE 802.3 中定义了一部分通用的以太网 PHY 芯片寄存器，例如 10M/100M 配置，半双工/全双工配置等。RC7222-A2 自动通过 MDIO 接口读取以太网 PHY 芯片的这部分通用寄存器，并放置到 Page00 的 00.19H-00.1DH 寄存器中，便于单片机快速获取以太网 PHY 芯片状态。

Page10 是 GFP 和接收发送用户自定义管理帧的寄存器，称为 GFP 和用户自定义管理帧寄存器。

Page11 主要是 RC7222-A2 此次芯片升级过程中添加的一些功能寄存器，本文中称为全局寄存器。

另外需要注意 FFH 寄存器是一个特殊寄存器，在 UART 接口访问 RC7222-A2 寄存器时(管脚 MANAGE\_MODI=0)，FFH 寄存器无效；当使用 I<sup>2</sup>C 接口访问时(管脚 MANAGE\_MODI=1)，FFH 为页地址寄存器，访问 FFH 寄存器时可以直接访问，3 个寄存器页中的 3 个 FFH 相当于一个寄存器。首先使用 I<sup>2</sup>C 写指令向 FFH 写入要访问的页地址，例如 Page00，然后再用 I<sup>2</sup>C 读写指令访问 Page00 中的寄存器。

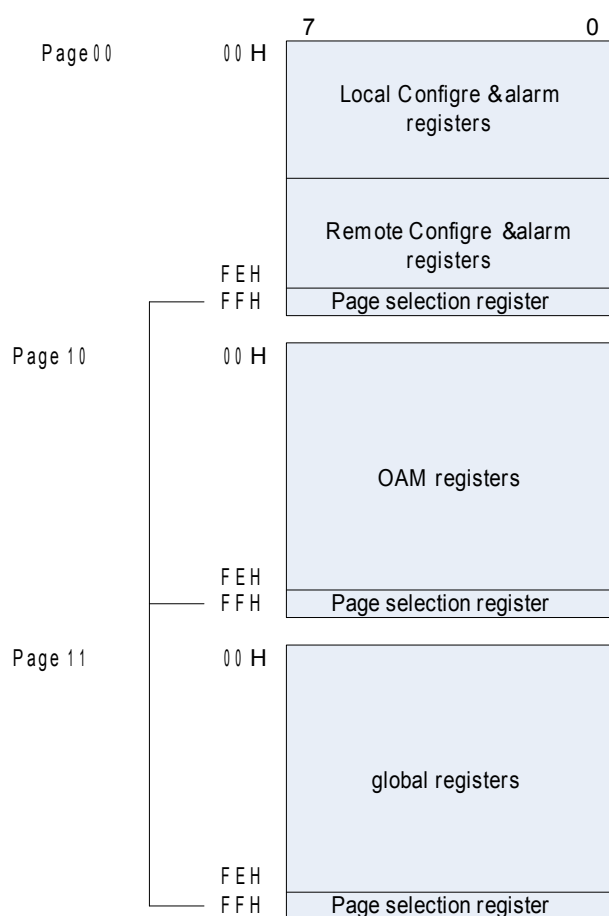


图 5-1-1 寄存器地址划分

## 5.2 网管接口 (UART/I<sup>2</sup>C)

RC7222-A2 提供了两种网管接口：UART 和 I<sup>2</sup>C。

网管接口有三个管脚：**MANAGE\_MODI**，**UART\_DO/SDA** 和 **UART\_DI/SCLI**。当 MANAGE\_MODI 为低电平时，选择 UART 模式，接口信号是 UART\_DO 和 UART\_DI；当 MANAGE\_MODI 为高电平时，选择 I<sup>2</sup>C 模式，接口信号是 SDA 和 SCLI。下面分别介绍两种接

口。

**UART 接口：**UART 接口由两个信号组成，UART\_DI 和 UART\_DO，UART\_DO 为输出数据端口，UART\_DI 为输入数据端口。UART 接口支持速率为 19200bps，支持 8 比特地址输入。

UART 接口参数如下：

波特率：19200bps；

起始位：1bit；

数据：8Bit；

停止位：1Bit；

奇偶校验位：奇校验；

数据流控：无。

**I<sup>2</sup>C 接口：**I<sup>2</sup>C 接口由两个信号组成，SDA 和 SCL。其中 SDA 是双向数据管脚，SCL 是输入时钟。RC7222-A2 只支持 I<sup>2</sup>C 总线规范中的从模式，支持最大速率 100Kb/s，支持 7 比特地址输入。

UART 和 I<sup>2</sup>C 的芯片地址由管脚 SET\_AI 输入。需要注意当选择 UART 接口作为管理接口时，芯片地址用 8 比特表示；当选择 I<sup>2</sup>C 接口作为管理接口时，芯片地址用 7 比特表示。

通过管脚 SET\_AI 还可以输入 8 比特用户自定义变量 SELF\_PIN[7:0]，SELF\_PIN 可以通过寄存器 00.15H 读取 SELF\_PIN 的值。SELF\_PIN 主要功能是方便设备设计，例如可以将 PCB 版本通过 SELF\_PIN 送入芯片并由单片机读取。由于 SELF\_PIN 的值也同时被送到对端芯片，也可以用于传递一些板卡告警和状态信息，例如可以将以太网 PHY 芯片的 LINK 状态传递到远端。

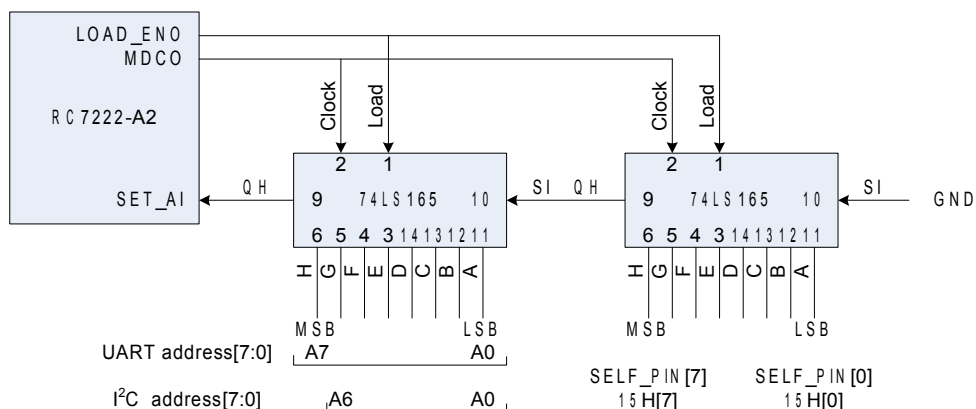


图 5-2-1 网管接口地址和用户自定义信息输入

### 5.3 UART 指令

单片机通过 UART 接口向 RC7222-A2 芯片发送查询指令帧和设置指令帧；RC7222-A2 芯片接收到任一种指令帧（包括查询指令和设置指令）后，都会回复一个应答帧。RC7222-A2 不主动向网管发送任何帧。

查询指令帧和设置指令帧的格式如表 5-3-1 所示，应答帧的格式如表 5-3-2 所示。

表 5-3-1 UART 查询指令帧和配置指令帧格式

Frame Flag	Device Address	Command Type	Sequence	Register address	Data	Checksum
2Byte	1 Byte	1 Byte	2 Byte	1 Byte	4Byte	1 Byte

表 5-3-2 UART 应答帧格式

Frame Flag	Device Address	Device Name	Sequence	Register address	Data	Checksum
2Byte	1 Byte	2 Byte	2 Byte	1Byte	8 Byte	1 Byte

表 5-3-3 UART 查询和配置指令帧

byte	Name	内容和含义	
1	Frame Flag	7EH	
2		81H	
3	Device Address	当 Device Address 与从 SET_AI 管脚输入的地址一致时, RC7222-A2 才进行响应, 否则 RC7222-A2 不会返回回应帧	
4	Command type	02H: 查询 Page00 寄存器	06H: 配置 Page00 寄存器
		03H: 查询 Page10 寄存器(OAM 寄存器)	07H: 配置 Page10 寄存器(OAM 寄存器)

		05H: 查询 Page11 寄存器(全局寄存器)	09H: 配置 Page11 寄存器(全局寄存器)
5	Sequence	帧序号。注 1	
6			
7	Register address	寄存器地址。	
8	Data	00H	配置数据[7:0]
9		00H	00H
10		00H	00H
11		00H	00H
12	Check sum	帧校验字节，范围包括 1-11 字节。当校验值不正确时，查询与配置帧都不起作用，也不会产生应答帧。注 2	

注 1: RC7222-A2 对接收到的 sequence 字节不做处理，而是直接放到应答帧的 sequence 字节返回单片机，这样便于单片机对查询/配置指令帧和回应帧进行监视，如果出现回应帧缺失时可以及时发现。

注 2:  $\text{Check sum} = \text{byte1} \text{ xor } \text{byte2} \text{ xor } \text{byte3} \dots \text{Xor byte10} \text{ xor } \text{byte11}$

表 5-3-4 UART 应答帧

byte	Name	内容和含义	
1	Frame Flag	7EH	
2		81H	
3	Device Address	与从 SET_AI 管脚输入的地址一致	
4	Device Name	72H	
5		22H	
6	Sequence	帧序号，与对应的查询、配置指令帧相同。	
7			
8	Register address	寄存器地址(reg_addr)	

		查询或配置 page00/10/11 寄存器
9	Data 注 1	Data(reg_addr)
10		Data(reg_addr+1)
11		Data(reg_addr+2)
12		Data(reg_addr+3)
13		Data(reg_addr+4)
14		Data(reg_addr+5)
15		Data(reg_addr+6)
16		Data(reg_addr+7)
17	Check sum	帧校验字节，范围包括 1-16 字节。注 2

注 1: RC7222-A2 的响应帧中会一次返回 8 字节数据，即从寄存器(reg\_addr)开始连续 8 个寄存器的值。

注 2: Check sum=byte1 xor byte2 xor byte3 ..... Xor byte15 xor byte16

## 5.4 I2C 指令

RC7222-A2 支持标准的 100Kb/s I<sup>2</sup>C 总线 SLAVE 工作模式。

I<sup>2</sup>C 指令分为 2 类：写指令和读指令。读写操作首先要选择寄存器页，如图 5-1-1 所示 RC7222-A2 的寄存器地址划分为 3 个寄存器页，读写操作哪一个寄存器页由 FFH[1:0]寄存器的内容确定。例如当前 FFH[1:0]=11，则单片机向 RC7222-A2 发送读写指令时只能操作 Page11 中的寄存器；如果此时需要操作 Page10 中的寄存器，则需要首先向 FFH[1:0]写入 10，然后才能对 Page10 中的寄存器进行读写操作。

表 5-4-1 I<sup>2</sup>C 查询指令帧和配置指令帧格式

	读写操作	指令格式说明
1	写 page 选择寄存器 FFH[1:0]	两种写指令格式相同。一次写操作向 1 个寄存器地址中写入 1 个字节。见表 5-4-2 写寄存器操作
2	写 page00/10/11 中的寄存	



	器	
3	读 page00/10/11 中的寄存器	一次读操作从寄存器地址及后续地址中连续读出多个字节。见表 5-4-3 读寄存器操作

表 5-4-2 I<sup>2</sup>C 写寄存器操作

Byte	内容和含义											
	S/Sr	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	ACK	P	
1	S	Chip address[6:0], 应与管脚 SET_AI 输入一致							W	A	注 1	
2		Page register address(FFH) or Register address in page 00/10/11								A		
3		Data(reg_addr)								A		P

注 1: 黑色表示从单片机输出给 RC7222-A2, 蓝色表示从 RC7222-A2 输出给单片机。I<sup>2</sup>C 的数据线是双向数据线, 在写操作过程中, 只有 ACK 信号是从 RC7222-A2 输出给单片机。

表 5-4-3 I<sup>2</sup>C 读寄存器操作

Byte	内容和含义											
	S/Sr	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	ACK	P	
1	S	Chip address[6:0], 应与管脚 SET_AI 输入一致							W	A	注 1	
2		Register address(reg_addr)								A		
3	Sr 注 2	Chip address[6:0], 应与管脚 SET_AI 输入一致							R	A		
4		Data(reg_addr)								A		
5		Data(reg_addr+1)								A		
.....		.....								A		
4+n		Data(reg_addr+n)								Ã		P

注 1: 黑色表示从单片机输出给 RC7222-A2, 蓝色表示从 RC7222-A2 输出给单片机。

注 2: 读操作时需要首先写入需要访问的寄存器地址, 然后用 **restart** 方式再读取寄存器的内容。

## 5.5 寄存器说明

### 5.5.1 MIB 寄存器

#### 本地寄存器和远端寄存器在本地的映射

MIB 寄存器(page00)中的 00.00-00.7EH 为本地配置和告警寄存器, 00.80H-00.FEH 是远端 RC7222-A2 芯片的 00.00H-00.7EH 寄存器在本地的映射, 是通过 SA 内建帧方式读取远端寄存器并放到本地, 因此只有在成帧模式(G.704\_bypass=0)且使用 SA 内建帧方式(SA\_MOD=0)时 00.80H-00.FEH 的内容才有效, 详见 4.7 节 SA 比特应用。

#### 统计和锁存寄存器

MIB 寄存器(page00)中的性能统计寄存器(寄存器名称以\_cnt 为后缀)和锁存告警寄存器(寄存器名称以\_P 为后缀)均定时进行更新。

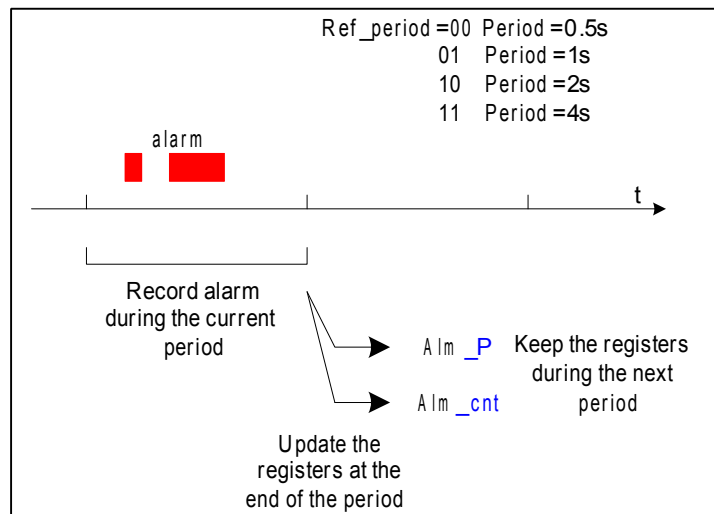


图 5-5-1-1 统计和锁存寄存器的更新

RC7222-A2 根据寄存器 `ref_period(00.0BH[7:6])` 设置定时器的定时周期, 在每一个定时周期内监视并记录告警, 在定时周期结束时, 将告警和告警统计值写入锁存告警寄存器和告警统计寄存器; 在下一个定时周期内, 锁存告警寄存器和告警统计寄存器的内容都保持不变。

需要注意告警统计计数器采用计满即停的方式, 例如 `CRC_cnt` 为 8 比特计数器, 最多可计 255 个 CRC 误码, 如果在 1 个定时周期内出现多于 255 个 CRC 误码, 则 `CRC_cnt` 的值为 255。

定时周期的变化情况可以通过寄存器 `tim_show(00.18H[1:0])` 观察, 每个定时周期寄存器

tim\_show 的值会加 1，单片机可以监视寄存器 tim\_show，每当寄存器 tim\_show 数值变化后读取一次锁存告警和告警统计，方便实现定时统计功能，例如进行误码秒统计。

寄存器 ref\_period 的缺省值为 01 即定时周期缺省为 1 秒。

### 多配置源时的配置方法

RC7222-A2 的有些配置项可以有多个配置来源，最典型的是时隙分配控制，可以通过管脚、寄存器进行配置。

RC7222-A2 中的配置项如果有多个配置来源，例如管脚和寄存器均可配置，则缺省情况下都是管脚配置生效，这样在没有单片机时芯片能够正常工作，可以简化设备。如果需要用寄存器配置，则需要指定寄存器生效，同时管脚配置自动失效。

例如时隙分配可通过管脚 SET\_BI 和寄存器 00.53H-00.56H 配置，缺省情况下管脚 SET\_BI 配置生效；如果需要单片机通过寄存器控制时隙分配，则首先需要寄存器 00.58H[7:0]=A5 指定寄存器 00.53H-00.56H 生效，然后再配置 00.53H-00.56H。

当有多个配置来源时，RC7222-A2 专门提供状态寄存器用于观察最终配置结果。寄存器列表中，深色底色的寄存器表示有多个配置来源。

### 告警屏蔽

RC7222-A2 的告警均有对应的告警寄存器，部分告警还可以通过管脚输出。从管脚输出的告警均经过优先级屏蔽，所有告警寄存器之间均未经过优先级屏蔽处理。

当使用单片机读取告警寄存器后，可以参考 4.2 WAN 接口中对接口告警的屏蔽关系描述用软件进行处理。

表 5-5-1-1 MIB 寄存器(Page00)

地址	比特	名称	读 写	缺省值	说明
<b>芯片标识寄存器</b>					
00H	7-0	Device NameH	RO	72H	<b>RC7222-A2</b> 芯片标识
01H	7-0	Device NameL	RO	22H	
02H	7-0	IC VERSIONH	RO	10H	芯片版本号，RC7222-A2 的芯片版本号为 1000H

03H	7-0	IC VERSIONL	RO	00H	
<b>配置寄存器(具备优先级控制)</b>					
57H	7-0	Cfg_04H_Prior	WR	00	<p>指定以太网 <b>MAC 配置寄存器(51H)</b>生效</p> <p>A5=寄存器(51H)生效; 其他值=管脚配置生效;</p> <p>注意: 寄存器(51H)中实际只有 Duplex_mod 有多个配置源, 但 57H 是对寄存器(51H)全部 8 比特指定生效, 因此只要需要寄存器(51H)任何一个比特生效, 都需要令寄存器(57H)=A5;</p>
58H	7-0	Cfg_070AH_Prior	WR	00	<p>指定时隙分配寄存器<b>(56H-53H)</b>生效</p> <p>A5=寄存器(56H-53H)生效; 其他值=管脚配置生效;</p> <p>注意: 时隙分配的配置来源有 2 个: 寄存器(56H-53H)、管脚 SET_BI, 详见 4.3 时隙分配。</p>
59H	7-0	Cfg_06H_Prior	WR	00	<p>指定配置寄存器<b>(52H)</b>生效</p> <p>A5=寄存器(52H)生效; 其他值=管脚配置生效;</p>
51H	7	Loopcut_en_n	WR	00	<p><b>WAN 接口环回关断以太网帧输出</b></p> <p>0=开启了环回关断功能, 即检测到外部环回, 关断向以太网发送数据; 1=冲突时不关断向以太网发送数据。</p>
	6	Reserved	WR		保留
	5	Reserved	WR		保留
	4	Reserved	WR		保留
	3	Col16_discard_en	WR		<p>连续冲突 <b>16</b> 次后是否丢弃当前以太网包</p> <p>1=以太网接口半双工模式下, 输出以太网包时出现连续 16 个冲突则丢弃该数据包 0=冲突时不丢包</p>
2	Duplex_mod	WR	双工模式选择		

					1=全双工, 0=半双工
	1	Mac_pause	WR		<b>流量控制</b> 1=开启流量控制功能, 0=不进行流量控制
	0	Reserved	WR		保留
52H	7-5	Reserved	-	00H	保留
	4	Reserved_Test	RW		保留的测试管脚 注意 52H 寄存器生效时(寄存器 59H=A5), Reserved_Test 必须写为 1 芯片才能正常工作。
	3	BUFFER_SEL	RW		<b>MII 到 WAN 方向缓存容量选择</b> 1=大缓存, 抗突发能力强, 延迟大; 0=小缓存, 抗突发能力弱, 延迟小;
	2	Reserve	-		保留
	1	TIM_MOD	RW		<b>WAN 接口发送定时模式选择</b> 1=主定时; 0=跟随 WAN 接口定时;
	0	Reserved	RW		保留
53H	7-0	Bandwidth(7-0)	WR	00	时隙分配
54H	7-0	Bandwidth(15-8)	WR	00	每个比特对应一个时隙, 56H 的 bit7 对应第 31 时隙, 53H 的 bit0 对应第 0 时隙。
55H	7-0	Bandwidth(23-16)	WR	00	
56H	7-0	Bandwidth(31-24)	WR	00	1=对应的时隙分配给以太网 0=对应的时隙空闲
<b>状态寄存器(最终配置结果)</b>					
04H	7	Loopcut_en_n	RO	0	<b>WAN 接口环回关断以太网帧输出</b> 0=开启了环回关断功能, 即检测到外部环回, 关断向以太网发送数据; 1=检测到环回时不关断向以太网发送数据。 详见 4.2.6 防止以太网数据环回
	6	Reserved	RO	0	保留
	5	Reserved	RO	0	保留

	4	Reserved	RO	0	保留
	3	Col16_discard_en	RO	0	连续冲突 <b>16</b> 次后是否丢弃当前以太网帧 1=以太网接口半双工模式下，输出以太网包时出现连续 16 个冲突则丢弃该数据包 0=冲突时不丢包
	2	Duplex_mod	RO	0	双工模式选择 1=全双工，0=半双工 注：Duplex_mod 可以通过管脚 DUPLEX_MODI 或寄 存器 duplex_mod(51H[2])配置
	1	Mac_pause	RO	0	流量控制 1=开启流量控制功能，0=不进行流量控制
	0	Reserved	RO	0	保留
注：Duplex_mod 可通过管脚 DUPLEX_MODI 或寄存器 Duplex_mod(51H[2])配置					
05H	7	Reserved	RO	1	保留
	6	WAN_MOD1I (from Pin)	RO	-	<b>WAN</b> 接口选择 WAN_MOD1I&WAN_MOD0I: 01=E1 接口为 WAN 接口; 00=SSI 接口为 WAN 接口;
	5	WAN_MOD0I (from Pin)	RO	-	
	4	Reserved	RO	1	保留
	3	Reserved	RO	-	保留
	2	SA_MODI (from Pin)	RO	-	<b>SA</b> 比特使用方式 0=以内建帧方式使用 SA 比特; 1=SA 比特形成串行通道，开放给 SA 接口 详见 4.7 SA 比特应用
	1	CODE_TYPEI (from Pin)	RO	-	<b>E1</b> 接口码型 0=HDB3 1=NRZ
	0	MANAGE_MODI (from Pin)	RO	-	网管接口选择 0=UART

					1=I <sup>2</sup> C
注：标识 from Pin 的寄存器直接来源于配置管脚，单片机可通过寄存器获得当前配置情况					
06H	7	G.704_bypass	RO	-	<b>G.704 成解帧器旁路(成帧非成帧)</b> 1=G.704 成解帧器被旁路(非成帧)， 0=G.704 成解帧器工作(成帧)
	6	Pcm31_sel	RO	-	<b>PCM30/31</b> 1=PCM31 模式 0=PCM30 模式。
	5	E1crc_sel	RO	-	<b>WAN 接口输入方向 G.704 CRC-4 复帧模式</b> 0=非 CRC-4 复帧 1=CRC-4 复帧 注：WAN 接口输入方向 G.704 解帧器能够进行自检测和自适应，E1crc_sel 表示自检测的结果。 WAN 接口输出方向 G.704 成帧器只能发送 CRC-4 复帧，详见 4.3 时隙分配
	4	Reserved	RO	-	保留
	3	BUFFER_SEL	RO	-	<b>MII 到 WAN 方向缓存容量选择</b> 1=大缓存，抗突发能力强，延迟大； 0=小缓存，抗突发能力弱，延迟小； 详见 4.6.2 缓存容量选择
	2	Reserved	RO	-	保留
	1	TIM_MOD	RO	-	<b>WAN 接口发送定时模式选择</b> 1=主定时； 0=跟随 WAN 接口定时； 详见 4.2.5 WAN 接口发送定时
	0	Reserved	RO	-	保留
	注： G.704_bypass/PCM31_sel 是根据时隙分配情况决定的； E1CRC_sel 是 G.704 解帧器接收自适应的结果；				

	BUFFER_SEL 可通过管脚 BUFFER_SEL1 或寄存器 BUFFER_SEL(52H[3])配置；				
	TIM_MOD 可通过管脚 TIM_MOD1 或寄存器 TIM_MOD(52H[1])配置；				
07H	7-0	Bandwidth(31-24)	RO	时隙分配 每个比特对应一个时隙，07H 的 bit7 对应第 31 时隙， 0AH 的 bit0 对应第 0 时隙。 1=对应的时隙分配给以太网 0=对应的时隙空闲 0AH 的 bit0 为 1 时表示非成帧模式。	
08H	7-0	Bandwidth(23-16)	RO		
09H	7-0	Bandwidth(15-8)	RO		
0AH	7-0	Bandwidth(7-0)	RO		
注：时隙分配可以通过管脚 SET_BI 或寄存器 53H-56H，详见 4.3 时隙分配					
<b>配置及告警寄存器</b>					
0BH	7-6	Ref_period	WR	01	统计及锁存寄存器更新周期 00=0.5 秒； 01=1 秒； 10=2 秒； 11=4 秒 更新周期的定义详见 5.5.1 MIB 寄存器中“统计及锁存寄存器”
	5-3	Reserved	WR	00	保留
	2	Reserved	RO	0	保留
	1	Reloop_get	RO	0	是否接收到有效的向远端环回指令 1=接收到了有效的远端环回指令 0=没有接收到有效的远端环回指令
	0	Reloop_reply	RO	0	是否响应向远端环回指令 1=响应了远端环回指令，本地发起向线路侧的环回 0=本地没有响应远端环回指令 当收到向远端环回指令后，RC7222-A2 有条件执行，详见 4.2.4.1 和 4.2.4.2 节 WAN 接口的环回
0CH	7	TEST1_LODO_P	RO	0	测试指示灯
	6	TEST2_LODO_P	RO	0	测试指示灯的定义见表 4-8-3-1 测试指示灯状态



	5	TEST3_LODO_P	RO	0	注意本寄存器为锁存寄存器，定时更新，详见 5.5.1 MIB 寄存器中“统计和锁存寄存器”
	4	TEST4_LODO_P	RO	0	
	3	Reserved	RO	0	保留
	2	Extloop_done	RO	0	<b>WAN 接口环回告警</b> 1=检测到了 WAN 接口向芯片内部环回 通过以太网 MAC 地址比较的方法判断是否出现 WAN 接口环回，见 4.2.6 防止以太网数据环回
	1	Rj_hdlc_los	RO	0	<b>HDLC 帧失步告警</b> 1=帧失步告警
	0	Reserved	RO	0	保留
0DH	7-2	Reserved	RO	0	保留
	1	Manage_lof	RO	0	<b>SA 比特的内建帧接收失步告警</b>
	0	Manage_err	RO	0	<b>SA 比特的内建帧接收校验错告警</b>
注： 告警寄存器均以 1 表示有告警，0 表示无告警 0DH 中的告警均实时显示 Manage_lof/Manage_err 只有在 SA 比特使用内建帧方式(SA_MODI=0)时才有效，可以用来检查本地远端 SA_MODI 设置是否一致，详见 4.7 SA 比特应用。					
0EH	7	Los_P	RO	0	<b>E1 接口信号消失告警锁存</b>
	6	Ais_P	RO	0	<b>G.704 全 1 告警锁存</b>
	5	Lof_P	RO	0	<b>G.704 帧失步告警锁存</b>
	4	Ral_P	RO	0	<b>G.704 远端告警锁存</b>
	3-1	Reserved	RO	0	保留
	0	Remote_e1full	RO	0	<b>对端 G.704 成解帧器旁路(成帧非成帧)</b> 1=对端 G.704 成解帧器被旁路(非成帧)， 0=对端 G.704 成解帧器工作(成帧) 注意只有在 SA 比特使用内建帧方式(SA_MODI=0)时才有效
注：名称以_P 为后缀的寄存器均为锁存寄存器，锁存告警寄存器的更新方法详见 5.5.1 MIB					

寄存器中“统计和锁存寄存器”					
0FH	7	LOSO	RO	0	<b>E1</b> 接口信号消失告警
	6	AISO	RO	0	<b>G.704</b> 全 1 告警
	5	Lomf	RO	0	<b>G.704</b> 复帧失步告警
	4	LOFO	RO	0	<b>G.704</b> 帧失步告警
	3	CRC_ERRO	RO	0	<b>G.704 CEC</b> 校验错告警
	2	RALO	RO	0	<b>G.704</b> 远端告警
	1	Phy_speed	RO	0	<b>MII</b> 接口速率 1=100Mbit/s; 0=10Mbit/s MII 接口速率不需要给 RC7222-A2 配置, RC7222-A2 可以根据以太网 PHY 芯片送来的 MII 接口时钟判断, Phy_speed 为 RC7222-A2 自动判断的结果
	0	Remote_valid	RO	0	<b>SA</b> 内建帧接收正常 1= SA 内建帧接收正常, 此时 MIB 寄存器 00.80H-00.FEH 以及显示对端芯片工作状态的寄存器 Remote_e1full 内容有效; 0= SA 内建帧接收异常, 此时 MIB 寄存器 00.80H-00.FEH 以及显示对端芯片工作状态的寄存器 Remote_e1full 内容无效; 详见 4.7 SA 比特应用
注: 0FH 中的告警均实时显示					
10H	7-0	CRC_CNT[7:0]	RO	00H	<b>G.704 CRC4</b> 误码统计
11H	7-0	CV_CNT[15:8]	RO	00H	<b>E1</b> 接口 <b>CV</b> 编码违例统计
12H	7-0	CV_CNT[7:0]	RO	00H	
13H	7-0	CHIP_ADDR	RO	00H	从管脚 <b>SET_AI</b> 输入的芯片地址
14H	7-0	SELF_DFF	WR	00H	用户自定义信息, 在内建帧方式下传递到远端设备。
15H	7-0	SELF_PIN	RO	00H	从管脚 <b>SET_AI</b> 输入的用户自定义信息
16H	7-0	Reserved	RO	00H	保留
17H	7-0	Reserved	RO	00H	

18H	7	Net_wanloop	WR	0	本地 <b>WAN</b> 接口环回 1=环回
	6	Net_line_test	WR	0	本地 <b>WAN</b> 接口测试 1=启动误码测试仪，向 WAN 接口插入测试码流，同时发起远端环回；
	5	RESET_CMD	WR	0	软复位 Reset_en=1 时本寄存器有效； 向 RESET_CMD 写 1 芯片进行软复位，复位完成后芯片自动将 RESET_CMD 清零。
	4	RESET_EN	WR	0	软复位使能 1=软复位功能开启； 0=软复位功能关闭；
	3	WANLOOP_SEL1 (from pin)	RO	0	本地 <b>WAN</b> 接口环回 1=环回
	2	Reserved	RO	0	保留
	1-0	Tim_show	RO	00	周期计数器，每个统计周期，该计数器循环累加 1。
注：标识 from Pin 的寄存器直接来源于配置管脚，单片机可通过寄存器获得当前配置情况					
注：关于 Net_wanloop、Net_line_test、WANLOOP_SEL1 的关系和功能详见 4.2.4 WAN 接口的环回					

### PHY 芯片映射寄存器

PHY 芯片映射寄存器是 RC7222-A2 通过 MDIO 接口从 PHY 芯片寄存器定时读取。寄存器名称中标识该寄存器在 PHY 芯片中的位置，例如 Reset(0.15)表示寄存器名称为 Reset，位于 PHY 芯片寄存器 0 的比特 15(比特顺序为 15:0，其中比特 15 为 MSB)

19H	7	Reset(0.15)	RO	-	1 = Reset chip. 0 = Enable normal operation.
	6	Loopback(0.14)	RO	-	1 = Enable loopback mode 0 = Disable loopback mode
	5	Speed Selection(0.13)	RO	-	1 = 100 Mbps 0 = 10 Mbps

	4	Auto-Negotiation Enable(0.12)	RO	-	1 = Enable auto-negotiate process (overrides speed select and duplex mode bits). 0 = Disable auto-negotiate process.
	3	Power Down(0.11)	RO	-	1 = Enable power down. 0 = Enable normal operation.
	2	Isolate(0.10)	RO	-	1 = Electrically isolate PHY from MII. 0 = Normal operation.
	1	Restart Auto-Negotiation(0.9)	RO	-	1 = Restart auto-negotiation process. 0 = Normal operation.
	0	Duplex Mode(0.8)	RO	-	1 = Enable full-duplex. 0 = Enable half-duplex.
1AH	7	Collision Test (0.7)	RO	-	1 = Enable COL signal test 0 = Disable COL signal test
	6	100BASE-T4 (1.15)	RO	-	1 = 100BASE-T4
	5	100BASE-X full-duplex (1.14)	RO	-	1 = Full-duplex 100BASE-X.
	4	100BASE-X half-duplex (1.13)	RO	-	1 = Half-duplex 100BASE-X.
	3	10 Mb/s full-duplex (1.12)	RO	-	1=10 Mb/s full-duplex
	2	10 Mb/s half-duplex(1.11)	RO	-	1=10 Mb/s half-duplex
	1	MF Preamble Suppression (1.6)	RO	-	0 = Not accept management frames with preamble suppressed.
	0	Auto-Negotiation Complete (1.5)	RO	-	1 = Auto-negotiation process complete. 0 = Auto-negotiation process not complete.
1BH	7	Remote Fault(1.4)	RO	-	1 = Remote fault condition detected. 0 = No remote fault condition detected.

	6	Auto-Negotiation Ability(1.3)	RO	-	1 = Able to perform auto-negotiation.
	5	Link Status(1.2)	RO	-	1 = Link is up. 0 = Link is down.
	4	Jabber Detect(10BASE-T Only)(1.1)	RO	-	1 = Jabber condition detected. 0 = No jabber condition detected.
	3	Extended Capability(1.0)	RO	-	1 = Extended register capabilities.
	2	Remote Fault(4.13)	RO	-	1 = Remote fault. 0 = No remote fault.
	1	Pause(4.10)	RO	-	1 = Pause operation is enabled for full-duplex links. 0 = Pause operation is disabled.
	0	100BASE-T4 (4.9)	RO	-	1 = 100BASE-T4 capability is available.
1CH	7	100BASE-TX full-duplex(4.8)	RO	-	1 = DTE is 100BASE-TX full-duplex capable. 0 = DTE is not 100BASE-TX full-duplex capable.
	6	100BASE-TX (4.7)	RO	-	1 = DTE is 100BASE-TX capable. 0 = DTE is not 100BASE-TX capable.
	5	10BASE-T full-duplex(4.6)	RO	-	1 = DTE is 10BASE-T full-duplex capable. 0 = DTE is not 10BASE-T full-duplex capable.
	4	10BASE-T(4.5)	RO	-	1 = DTE is 10BASE-T capable. 0 = DTE is not 10BASE-T capable.
	3	Acknowledge (5.14)	RO	-	1 = Link Partner has received Link Code Word. 0 = Link Partner has not received Link Code Word.
	2	Remote Fault(5.13)	RO	-	1 = Remote fault. 0 = No remote fault.
	1	Pause(5.10)	RO	-	1 = Pause operation is enabled for link partner. 0 = Pause operation is disabled.

	0	100BASE-T4 (5.9)	RO	-	1 = Link Partner is 100BASE-T4 capable. 0 = Link Partner is not 100BASE-T4 capable.
1DH	7	100BASE-TX full-duplex (5.8)	RO	-	1 = Link Partner is 100BASE-TX full-duplex capable. 0 = Link Partner is not 100BASE-TX full-duplex capable.
	6	100BASE-TX (5.7)	RO	-	1 = Link Partner is 100BASE-TX capable. 0 = Link Partner is not 100BASE-TX capable.
	5	10BASE-T full-duplex (5.6)	RO	-	1 = Link Partner is 10BASE-T full-duplex capable. 0 = Link Partner is not 10BASE-T full-duplex capable.
	4	10BASE-T (5.5)	RO	-	1 = Link Partner is 10BASE-T capable. 0 = Link Partner is not 10BASE-T capable.
	3	Parallel Detection Fault (6.4)	RO	-	1 = Parallel detection fault has occurred. 0 = Parallel detection fault has not occurred.
	2	Link Partner Next Page Able (6.3)	RO	-	1 = Link partner is next page able. 0 = Link partner is not next page able.
	1	Page Received (6.1)	RO	-	1 = 3 identical and consecutive link code words have been received from link partner. 0 = 3 identical and consecutive link code words have not been received from link partner.
	0	Link Partner Auto Negotiation Able (6.0)	RO	-	1 = Link partner is auto-negotiation able. 0 = Link partner is not auto-negotiation able.
50H	7-0	Cfg_phy_addr	WR	01	<b>PHY 管理地址寄存器</b> 必须设置为与 PHY 芯片的实际管理地址一致,才能够通过 MDIO 读写 PHY 芯片寄存器。 详见 4.4.2 MDIO 接口

### HDLC 成解帧的性能统计信息(1EH-2CH)

CRC-H 指 HDLC 帧中的 CRC 校验,寄存器说明中标明统计点。HDLC 成解帧的性能统计详见 4.6.3 帧统计功能

1EH	7-0	hdlc_TxByteCnt[23:16]	RO	00H	<b>HDLC 成帧器发送的 HDLC 帧总字节数统计 (C7)</b>
1FH	7-0	hdlc_TxByteCnt[15:8]			
20H	7-0	hdlc_TxByteCnt[7:0]			
21H	7-0	hdlc_TxPktCnt[15:8]	RO	00H	<b>HDLC 成帧器发送的 HDLC 帧个数统计(C7)</b>
22H	7-0	hdlc_TxPktCnt[7:0]			
23H	7-0	hdlc_TxEPktCnt[7:0]	RO	00H	<b>HDLC 成帧器从 SDRAM 读取错帧统计(C7)</b>
24H	7-0	hdlc_RxByteCnt[23:16]	RO	00H	<b>HDLC 解帧器从 WAN 接口接收 HDLC 帧总字节统计(C1)</b> 包含正确或错误的所有帧的字节总和
25H	7-0	hdlc_RxByteCnt[15:8]			
26H	7-0	hdlc_RxByteCnt[7:0]			
27H	7-0	hdlc_RxPktCnt[15:8]	RO	00H	<b>HDLC 解帧器从 WAN 接口接收 HDLC 帧个数统计(C1)</b> 包含正确或错误的所有帧帧数总和
28H	7-0	hdlc_RxPktCnt[7:0]			
29H	7-0	hdlc_RxOversizePkt[7:0]	RO	00H	<b>HDLC 解帧器从 WAN 接口接收超长数据帧数统计(C1)</b>
2AH	7-0	hdlc_RxUndersizePkt[7:0]	RO	00H	<b>HDLC 解帧器从 WAN 接口接收超短数据帧数统计(C1)</b>
2BH	7-0	hdlc_RxCrcPkt[7:0]	RO	00H	<b>HDLC 解帧器从 WAN 接口接收 CRC-H 校验错帧统计(C1)</b>
2CH	7-0	hdlc_RxAbandonPkt[7:0]	RO	00H	<b>HDLC 解帧器向 SDRAM 写入因缓存不足产生的丢弃帧统计(C2)</b>
<b>以太网 MAC 性能统计信息(2DH-45H)</b>					
CRC-E 指以太网帧中的 CRC 校验，寄存器说明中标明统计点。以太网帧的性能统计详见 4.6.3 帧统计功能					
2DH	7-0	Eth_RxBytecnt[23:16]	RO	00H	<b>MAC 从 PHY 芯片接收字节统计(C5)</b>
2EH	7-0	Eth_RxBytecnt[15:8]	RO	00H	包含正确或错误的所有帧的字节总和，注意在半双工模式下会因为冲突导致接收未完成，这样形成的超短包直接丢弃，不计入字节统计
2FH	7-0	Eth_RxBytecnt[7:0]	RO	00H	
30H	7-0	Eth_RxErrorsizePkt[7:0]	RO	00H	<b>MAC 从 PHY 芯片接收超短帧帧数统计(C5)</b> 超短帧指小于 64 字节的以太网帧

					注意在半双工模式下会因为冲突导致接收未完成，这样形成的超短包直接丢弃，不计入统计
31H	7-0	Eth_RxOversizePkt[7:0]	RO	00H	<b>MAC 从 PHY 芯片接收超长帧数统计(C5)</b> 超长帧指大于 2031 字节的以太网帧
32H	7-0	Eth_RxCrcerrorPkt[7:0]	RO	00H	<b>MAC 从 PHY 芯片接收 CRC-E 校验错帧数统计(C5)</b> 不包含超长、超短帧
33H	7-0	Eth_RxBroadcast[7:0]	RO	00H	<b>MAC 从 PHY 芯片接收广播帧数统计(C5)</b> 不包含 CRC-E 校验错误的广播帧
34H	7-0	Eth_RxMulticast[7:0]	RO	00H	<b>MAC 从 PHY 芯片接收多播帧数统计(C5)</b> 不包含 CRC-E 校验错误的多播帧，不包括广播帧
35H	7-0	Reserved	RO	00H	保留
36H	7-0	Eth_RxGoodPkt[15:8]	RO	00H	<b>MAC 从 PHY 芯片接收正确帧数统计(C5)</b>
37H	7-0	Eth_RxGoodPkt[7:0]	RO	00H	除去超长、超短帧和 CRC-E 校验错的帧后的帧个数统计
38H	7-0	Eth_RxGoodByte[15:8]	RO	00H	<b>MAC 从 PHY 芯片接收正确字节统计(C5)</b>
3AH	7-0	Eth_RxGoodByte[7:0]	RO	00H	除去超长、超短帧和 CRC-E 校验错的帧后的字节数统计
3BH	7-0	Eth_RxAbandonPkt[15:8]	RO	00H	<b>MAC 从 PHY 芯片接收向 SDRAM 写入时因缓存不足丢弃的帧数统计(C6)</b>
3CH	7-0	Eth_RxAbandonPkt[7:0]	RO	00H	
3DH	7-0	Eth_TxGoodByte[15:8]	RO	00H	<b>MAC 从 SDRAM 读取正确字节统计(C3)</b>
3FH	7-0	Eth_TxGoodByte[7:0]	RO	00H	即 MAC 向 PHY 芯片发送的正确字节数统计
40H	7-0	Eth_TxGoodPkt[15:8]	RO	00H	<b>MAC 从 SDRAM 读取正确帧数统计(C3)</b>
41H	7-0	Eth_TxGoodPkt[7:0]	RO	00H	即 MAC 向 PHY 芯片发送的正确帧数统计
42H	7-0	Eth_TxPausePkt[7:0]	RO	00H	<b>MAC 向 PHY 芯片发送流控帧数统计(C4)</b>
43H	7-0	Eth_TxBadPkt[7:0]	RO	00H	<b>MAC 从 SDRAM 读取错误帧数统计(C3)</b>
44H	7-0	Eth_Collision[7:0]	RO	00H	<b>MAC 向 PHY 芯片发送时以太网上冲突次数统计(C4)</b>



45H	7-0	Eth_TxExcessiveCol[7:0]	RO	00H	<p><b>MAC 向 PHY 芯片发送时连续冲突超过 16 次而丢弃的帧数统计(C4)</b></p> <p>注意只有在半双工模式，且允许冲突丢帧 (Col16_discard_en=1)时该寄存器才有效</p>
-----	-----	-------------------------	----	-----	---

### 5.5.2GFP 与用户自定义管理帧寄存器

I<sup>2</sup>C 读写时寄存器页地址为 “10” 或 uart 读写寄存器时 cmd 为 03H 或 07H，可以访问用户自定义管理帧寄存器。

表 5-5-2-1 GFP 发送管理帧寄存器(Page10)

地址	Bit	名称	读写	缺省 值	说明
<b>GFP 发送配置寄存器</b>					
00H	1	cGT_CSCRD	RW	03H	发送 <b>GFP</b> 帧头部的扰码使能 1=扰码 0=不扰码。
	0	cGT_PSCRD			发送 <b>GFP</b> 帧净荷的扰码使能 1=扰码 0=不扰码。
03H	0	cGT_MngEn	RW	0	用户自定义管理帧发送触发 0->1=启动一次发送操作 发送操作启动后本寄存器不会自动归零，需要单片机写 0 以准备下一次发送
04H	5-0	cGT_MngLen	RW	08H	发送的用户自定义管理帧净荷长度 有效的用户自定义管理帧长度为 1-59 字节
20H	4	cGT_PFI	RW	00H	发送 <b>GFP</b> 帧的 <b>PFI</b> 值 1=GFP 帧包含 Payload FCS 0=不包含 Payload FCS
	3-0	cGT_EXI			发送 <b>GFP</b> 帧的 <b>EXI</b> 值，指示扩展头类型

					"0000"表示空包头，否则为线性包头。
21H	7-0	cGT_UPI	RW	01H	发送 <b>GFP</b> 的数据帧的 <b>UPI</b> 值，指示载荷类型 详见表 4-6-2-3
22H	7-0	cGT_CID	RW	01H	发送 <b>GFP</b> 的 <b>CID</b> 值
23H	7	cGT_OFFETH	RW	00H	以太网数据停止使能，仅 <b>GFP</b> 模式下有效 1=停止向线路侧发送以太网帧 0=正常发送以太网帧
	6	cGT_CSF			<b>CSF</b> 帧发送使能 1=发送 CSF 帧，每 100ms 发送一个 CSF 帧。
	5-3	Reserved			保留
	2	cGT_PHECER R			插入 <b>Payload FCS</b> 错误 0->1=插入一次 Payload FCS 错误 (Payload FCS 全部比特取反) 发送操作启动后本寄存器不会自动归零，需要单片机写 0 以准备下一次发送
	1	cGT_THECER R			插入 <b>tHEC</b> 错误 0->1=插入一次 tHEC 错误 (tHEC 全部比特取反) 发送操作启动后本寄存器不会自动归零，需要单片机写 0 以准备下一次发送
0	cGT_CHECER R	插入 <b>cHEC</b> 错误 0->1=插入一次 eHEC 错误 (eHEC 全部比特取反) 发送操作启动后本寄存器不会自动归零，需要单片机写 0 以准备下一次发送			
24H	7-0	cGT_CSFUPI	RW	00H	发送的 <b>CSF</b> 帧的 <b>UPI</b> 值
25H	7-0	cGT_MngUPI	RW	00H	发送用户自定义管理帧的 <b>UPI</b> 值
26H	4	cGT_MngPFI	RW	00H	发送 <b>GFP</b> 网管帧的 <b>PFI</b> 值 1=GFP 帧包含 Payload FCS 0=不包含 Payload FCS
	3-0	cGT_MngEXI			发送 <b>GFP</b> 网管帧的 <b>EXI</b> 值，指示扩展头类型 "0000"表示空包头，其它值按照线性包头处理

GFP 发送状态寄存器					
28H	0	sGT_MngEn	RO	0	用户自定义管理帧发送模块忙 1=用户自定义管理帧发送模块正在发送,此时应禁止操作寄存器 cGT_MngEn、cGT_MngLen 和 OAM_Tx 0=用户自定义管理帧发送模块空闲
GFP 发送统计寄存器					
2FH	1-0	rpcGT_AllPktH	RC	00H	发送帧计数器
30H	7-0	rpcGT_AllPktM	RC	00H	
31H	7-0	rpcGT_AllPktL	RC	00H	
32H	7-0	rpcGT_NetPkt	RC	00H	保留
33H	7-0	rpcGT_ErrPkt	RC	00H	发送以太网 <b>CRC</b> 错帧计数器
34H	7-0	rpcGT_AllByte H	RC	00H	发送字节计数器
35H	7-0	rpcGT_AllByte M	RC	00H	
36H	7-0	rpcGT_AllByte L	RC	00H	

表 5-5-2-2 GFP 接收和用户自定义管理帧缓存寄存器(Page10)

地址	Bit	名称	读写	缺省 值	说明
GFP 接收配置寄存器					
40H	1	cGR_HSCRD	WR	1	接收 <b>GFP</b> 帧头部的扰码使能 1=扰码 0=不扰码。
	0	cGR_PSCRD		1	接收 <b>GFP</b> 帧净荷的扰码使能 1=扰码

					0=不扰码。
44H	0	cGR_mng_clr	WR	0	清除接收用户自定义管理帧缓存满标志 1=清除接收用户自定义管理帧缓存满标志(aGR_mng_get) aGR_mng_get =0 后开始接收新的用户自定义管理帧，因此单片机应及时将本寄存器写 0，退出清除状态，以保证接收到新的用户自定义管理帧后， aGR_mng_get 标志能够正常通知单片机
<b>GFP 接收状态寄存器</b>					
49H	0	sGR_SYN	RO	0	接收 <b>GFP</b> 的同步状态 1=解封装处理的状态处于同步状态 0=处于失步状态，正在寻找同步标志
4AH	7-5	sGR_PTI	RO	00H	接收 <b>GFP</b> 数据帧中 <b>PTI</b> 的值，指示 <b>GFP</b> 帧的服务类型 PTI=100 认为是管理帧，PTI/=100 认为是数据帧。
	4	sGR_PFI			接收 <b>GFP</b> 数据帧中的 <b>PFI</b> ，指示是否有 <b>Payload FCS</b> 1=有 Payload FCS 0=没有 Payload FCS
	3-0	sGR_EXI			接收 <b>GFP</b> 数据帧的 <b>EXI</b> ，指示扩展头类型 0000=空扩展头 0001=线性包头
4BH	7-0	sGR_UPI	RO	01H	接收的数据帧的 <b>UPI</b> 值，指示载荷类型
4CH	7-0	sGR_CID	RO	00H	接收的数据帧的 <b>CID</b> 值
4DH	0	sGR_ComCSF	RO	01H	<b>CSF</b> 帧接收状态 1=处于 CSF 接收状态 根据标准，4s 内出现少于 3 个 CSF 帧或者接收到一个数据帧，该比特被清零。
4EH	7-0	sGR_CSFUPI	RO	00H	接收到的 <b>CSF</b> 帧的 <b>UPI</b> 值
4FH	7-0	sGR_MngUPI	RO	00H	接收到的 <b>GFP</b> 管理帧的 <b>UPI</b> 值
50H	7-5	sGR_MngPTI	RO	00	保留
	4	sGR_MngPFI			接收 <b>GFP</b> 的管理帧中的 <b>PFI</b> ，指示是否有 <b>Payload FCS</b>

					1=有 Payload FCS 0=没有 Payload FCS
	3-0	sGR_MngEXI		100	接收 <b>GFP</b> 的管理帧的 <b>EXI</b> , 指示扩展头类型  0000=空扩展头 0001=线性包头
53H	5-0	sGR_MngLen	RO	00H	接收用户自定义管理帧净荷长度  用户自定义管理帧净荷有效长度为 1-59 字节, 当该值大于 59 时说明接收出现错误, 应该向 cGR_mng_clr 写入 1 清除接收缓存
<b>GFP 接收告警寄存器</b>					
54H	0	aGR_mng_get	RO	0	接收用户自定义管理帧缓存满标志  1=接收到 1 个用户自定义管理帧, 请求单片机读取; 0=接收用户自定义管理帧缓存空  接收用户自定义管理帧缓存满时, 停止接收新的用户自定义管理帧
<b>GFP 接收告警锁存寄存器</b>					
5CH	1	LaGR_SYNLO SS	RC	0	接收 <b>GFP</b> 帧失步锁存告警  1=同步丢失锁存 0=没有同步丢失
	0	LaGR_Siglecsf		0	接收 <b>CSF</b> 帧指示锁存告警  1=收到过 CSF 帧 0=没有收到过 CSF 帧
<b>GFP 接收统计寄存器</b>					
5FH	1-0	rpcRALLPH	RC	00H	接收到的 <b>GFP</b> 帧计数器, 包括错帧
60H	7-0	rpcRALLPM	RC	00H	统计到最大值时, 计数停止。rpcGR_AIIPktH 为计数的高 2 位, rpcGR_AIIPktL 为计数的低 8 位。
61H	7-0	rpcRALLPL	RC	00H	
62H	7-0	rpcErrPH	RC	00H	接收到的 <b>GFP</b> 错帧计数器, 包括超长, 超短和 <b>FCS</b> 校验错包
63H	7-0	rpcErrPL	RC	00H	统计到最大值时, 计数停止。rpcGR_ErrPktH 为计数的高 8 位, rpcGR_ErrPktL 为计数的低 8 位。

64H	7-0	rpcGR_NetPkt	RC	00H	接收管理帧( <b>PTI=100</b> )计数 统计到最大值时, 计数停止。
65H	7-0	rpcGR_AllByte	RC	00H	接收字节计数 统计到最大值时, 计数停止。rpcGR_AllByteH 为计数的高 8 位,
66H	7-0	rpcGR_AllByte	RC	00H	rpcGR_AllByteL 为计数的低 8 位。
67H	7-0	rpcGR_AllByte	RC	00H	

#### 用户自定义管理帧发送接收缓存寄存器

注意: 用户自定义管理帧缓存寄存器是 HDLC 模式和 GFP 模式共用的寄存器

80H- BAH	7-0	OAM_Tx	RW	00H	发送用户自定义管理帧净荷缓存 0x80 的字节为首先发送的字节
C0H- FAH	7-0	OAM_Rx	RO	00H	接收用户自定义管理帧净荷缓存 0xC0 的字节为接收到的第 1 个字节

### 5.5.3 全局寄存器

I<sup>2</sup>C 读写寄存器时页地址为“11”或 uart 读写寄存器时 cmd 为 05H 或 09H, 可以访问全局寄存器。

表 5-5-3-1 全局寄存器(Page11)

地址	Bit	名称	读写	缺省 值	功能
00H	0	cGFP_SEL	RW	0	<b>GFP 选择寄存器</b> 1=GFP 封装 0=HDLC 封装
01H	0	cByteSa_SEL	RW	0	<b>SA 比特使用方式</b> 当管脚 SA_MODI 为低电平时, 本寄存器有效。 0=用内建帧方式使用 SA 比特; 1=用字节传递方式使用 SA 比特;

					详见 4.7 SA 比特应用
02H	0	cMTS1_USED	RW	1	<b>GFP 模式下 G704 复帧第 1 个 TS1 使用方式选择</b> 1=该字节用于传送以太网业务; 0=该字节不用于传送以太网业务, 此时芯片可以与 ITU-T 标准 EoPDH 芯片互通。
03H	3	cTOAM_Order	RW	0	发送用户自定义管理帧时 <b>CRC-O</b> 格式选择 0=CRC-O 格式遵循中国移动企业标准 1=CRC-O 格式与 RJ017 定义的 CRC-H 相同 详见 4.5.3 用户自定义管理帧
	1	cROAM_Order	RW	0	接收用户自定义管理帧时 <b>CRC-O</b> 格式选择 0=CRC-O 格式遵循中国移动企业标准 1=CRC-O 格式与 RJ017 定义的 CRC-H 相同 详见 4.5.3 用户自定义管理帧
04H	2	cPrbs_TEST	RW	0	误码仪启动 1=向以太网数据分配的时隙内插入和接收伪随机码 0=误码仪关闭
	1	cLoop_extE1	RW	0	<b>E1 接口向线路环回</b> 1=环回
	0	cLoop_interE1	RW	0	<b>E1 接口向芯片内环回</b> 1=环回
08H	1	sROAM_Order	RO	0	接收用户自定义管理帧 <b>CRC-O</b> 格式检测结果 1=CRC-O 格式与 RJ017 定义的 CRC-H 相同 0=非 RJ017 的 CRC-H 格式;
	0	sROAM_ROrede r		0	接收用户自定义管理帧 <b>CRC-O</b> 格式检测结果 1=CRC-O 格式遵循中国移动企业标准 0=非中国移动企业标准格式;
<b>SA 字节寄存器</b>					
80H	7-0	cE1_TSA4	RW	00H	<b>SA4</b> 发送字节
81H	7-0	cE1_TSA5	RW	00H	<b>SA5</b> 发送字节

82H	7-0	cE1_TSA6	RW	00H	<b>SA6</b> 发送字节
83H	7-0	cE1_TSA7	RW	00H	<b>SA7</b> 发送字节
84H	7-0	cE1_TSA8	RW	00H	<b>SA8</b> 发送字节
88H	7-0	cE1_RSA4	RO	00H	<b>SA4</b> 接收字节
89H	7-0	cE1_RSA5	RO	00H	<b>SA5</b> 接收字节
8AH	7-0	cE1_RSA6	RO	00H	<b>SA6</b> 接收字节
8BH	7-0	cE1_RSA7	RO	00H	<b>SA7</b> 接收字节
8CH	7-0	cE1_RSA8	RO	00H	<b>SA8</b> 接收字节

## 6. 典型应用

### 6.1 以太网至 E1 转换器

RC7222-A2 可用于实现以太网到 1 路 E1 的转换器。

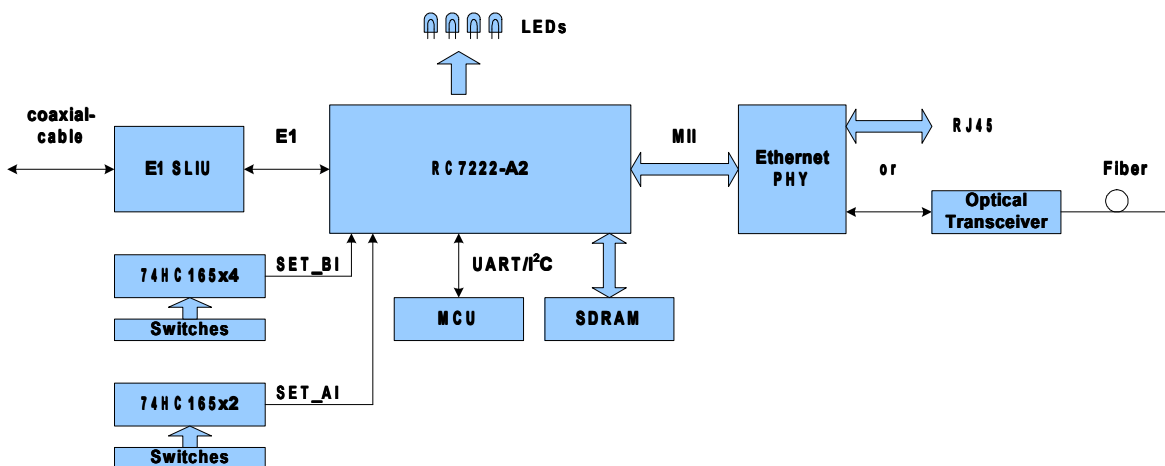


图 6-1-1 以太网至 E1 转换器

### 6.2 多业务转换器

RC7222-A2 能够与其它线路接口芯片配合实现多业务转换器，实现以太网、语音业务和其它基于 64Kb/s 的业务到光/E1 的转换。



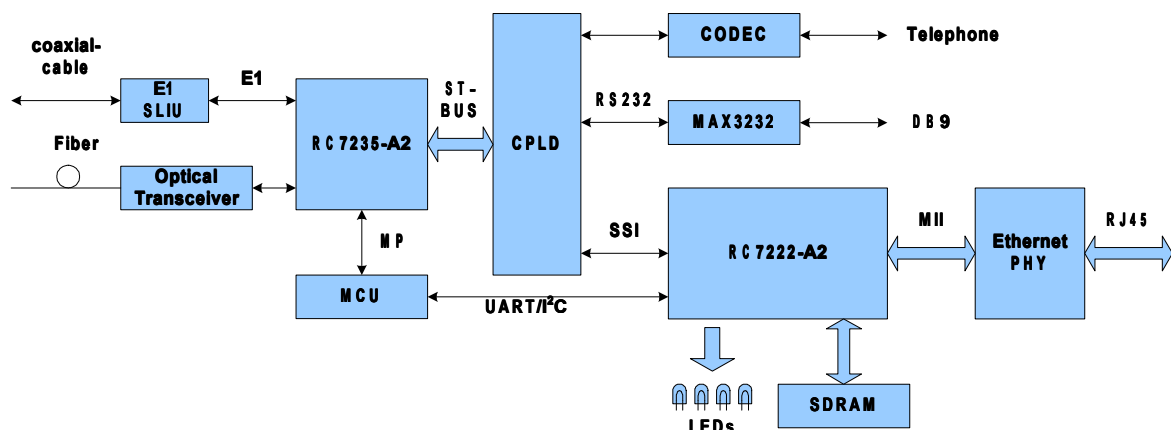


图 6-2-1 多业务转换器

## 7. 技术参数

### 7.1 使用极限

用户使用本芯片，在任何时候都不应超出其使用极限，否则会造成芯片的永久损坏。

表 7-1-1 使用极限值 (VSS=0V)

Symbol	Item	Limits	Unit
HVDD	Power Supply Voltage	-0.3 to 4.0	V
LVDD		-0.3 to 3.0	V
Vi	Input Voltage	-0.3 to HVDD+0.5	V
Vo	Output Voltage	-0.3 to HVDD+0.5	V
Iout	Output Current /Pin	±30	mA
Tstg	Storage temperature	-65 to 150	°C

### 7.2 正常工作条件

表 7-2-1 正常工作条件

Item	Symbol	Min	Typ	Max	Unit
------	--------	-----	-----	-----	------

Power Supply Voltage	HVDD	3.0	3.3	3.6	V
	LVDD	2.3	2.5	2.7	V
Input Voltage	Vi	Vss	---	HVDD	V
Ambient Temperature	Ta	0	25	70	°C
Normal Input for Rising Time	Tri	---	---	50	ns
Normal Input for Falling Time	tiff	---	---	50	ns
Schmitt Input for Rising Time	tri	---	---	5	ms
Schmitt Input for Falling Time	tfi	---	---	5	ms

### 7.2.1 功耗

正常工作条件下，RC7222-A2 的 3.3V 电源功耗为 100mW；2.5V 电源功耗为 220mW。

### 7.3 直流特性

表 7-3-1 直流特性 (HVDD=3.3VDC±0.3V, VSS=0V, Tj=-40°C~85°C)

Symbol	Item	Conditions	Min	Typ.	Max	Unit
Idds	Quiescent Current	Quiescent conditions (Tj=85°C)	---	---	21	uA
ILi	Input Leakage Current	---	-5	---	5	uA
Ioz	Off state leakage Current	---	-5	---	5	uA
Voh	High Level Output Voltage	Ioh= -6mA HVDD=Min	HVDD -0.4	---	---	V
Vol	Low Level Output Voltage	Ioh= 6mA HVDD=Min	---	---	0.4	V
Vih	High Level Input Voltage	LVTTTL Level HVDD=max	2.2	---	---	V
Vil	Low Level Input Voltage	LVTTTL Level HVDD=Max	---	---	0.8	V

Vt2+	Positive Trigger Voltage	LVTTL Schmitt	1.1	---	2.4	V
Vt2-	Negative Trigger Voltage	LVTTL Schmitt	0.6	---	1.8	V
Vh2	Hysteretic Trigger Voltage	LVTTL Schmitt	0.1	---	---	V
Ci	Input Terminal Capacitance	f=1MHz, HVDD=0V	---	---	8	pF
Co	Output Terminal Capacitance	f=1MHz, HVDD=0V	---	---	8	pF
Cio	Input/Output Terminal Capacitance	f=1MHz, HVDD=0V	---	---	8	pF

## 7.4 交流特性

### 7.4.1 MII 接口时序

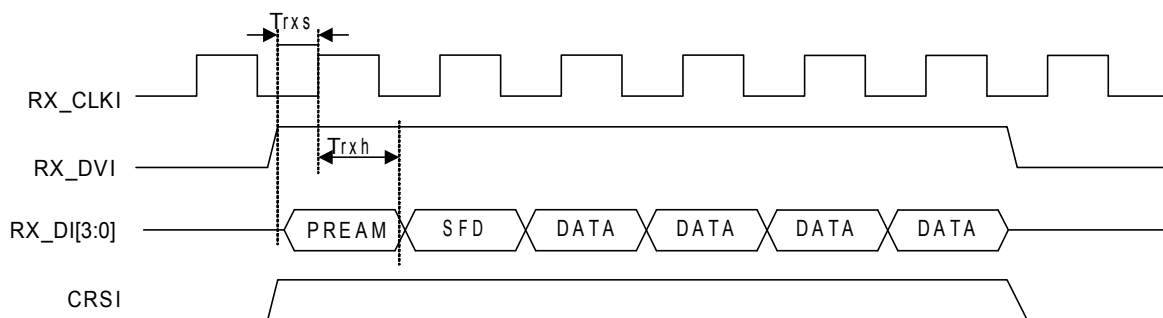


图 7-4-1-1 MII 接口接收时序

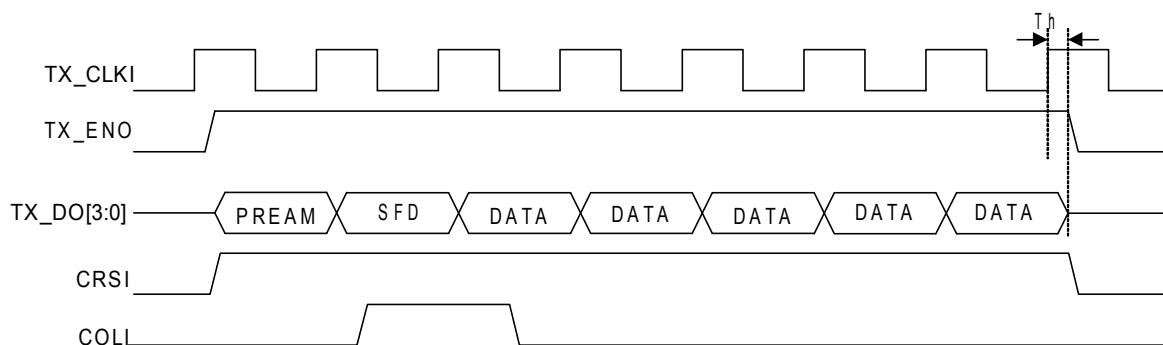


图 7-4-1-2 MII 接口发送时序

表 7-4-1-1 MII 接口信号说明

信号	说明	Min.	Type.	Max.
Trxs	输入信号到时钟沿的时间	3ns		-
Trxh	时钟沿到输入信号的时间	3ns		-
Th	时钟沿到输出信号的时间	3ns		10ns

7.4.2 SDRAM 接口时序

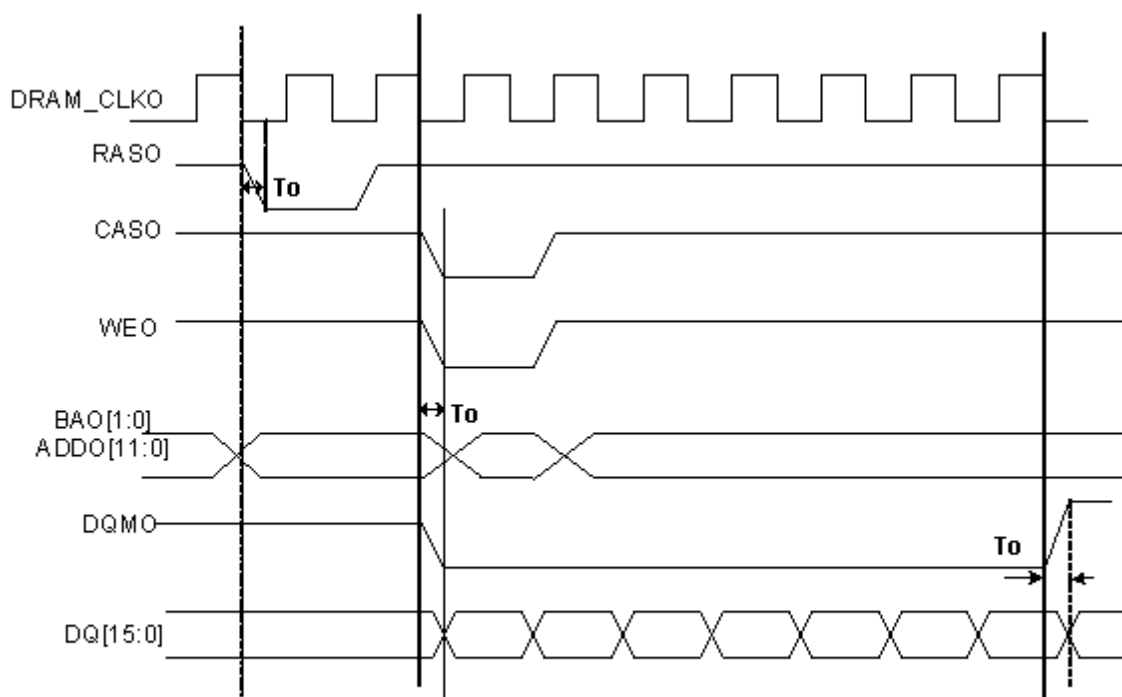


图 7-4-2-1 SDRAM 接口写时序

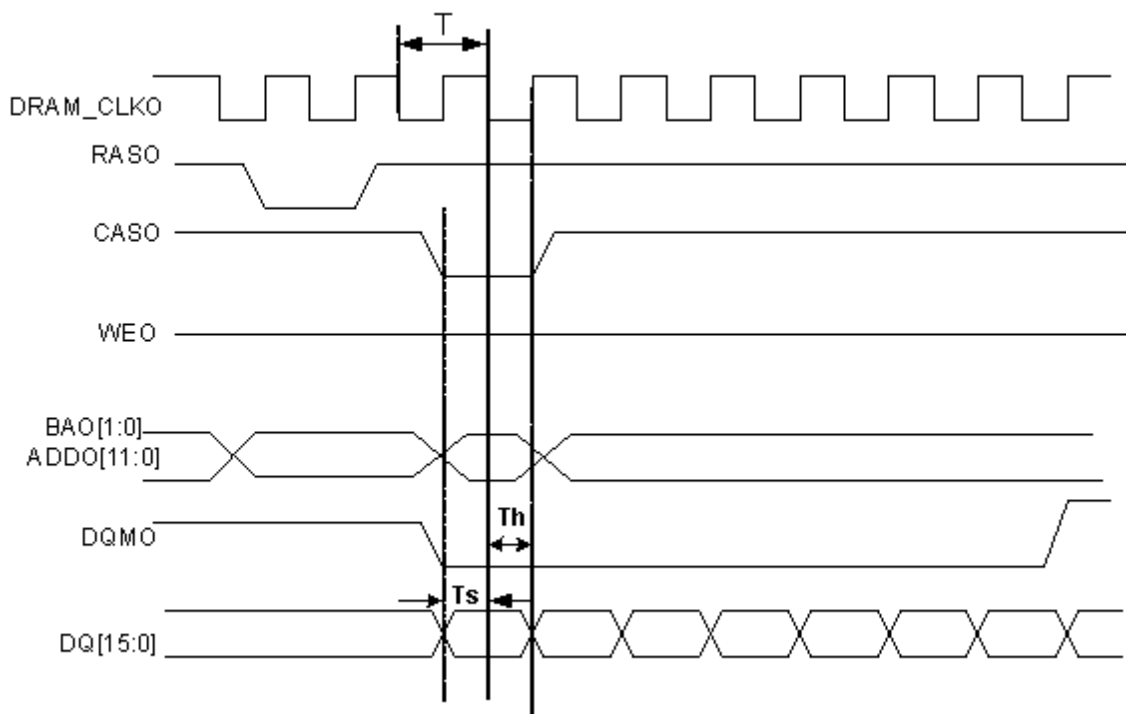


图 7-4-2-2 SDRAM 接口读时序

表 7-4-2-1 SDARM 接口信号说明

信号	说明	Min.	Type.	Max.
T	SDRAM 的工作时钟周期		2×Tclk65i	
To	时钟沿到输出数据稳定的时间	0		3ns
Ts	输入数据稳定到时钟沿的时间	3ns		
Th	时钟沿到输入数据稳定的时间	0		

7.4.3 SSI 接口时序

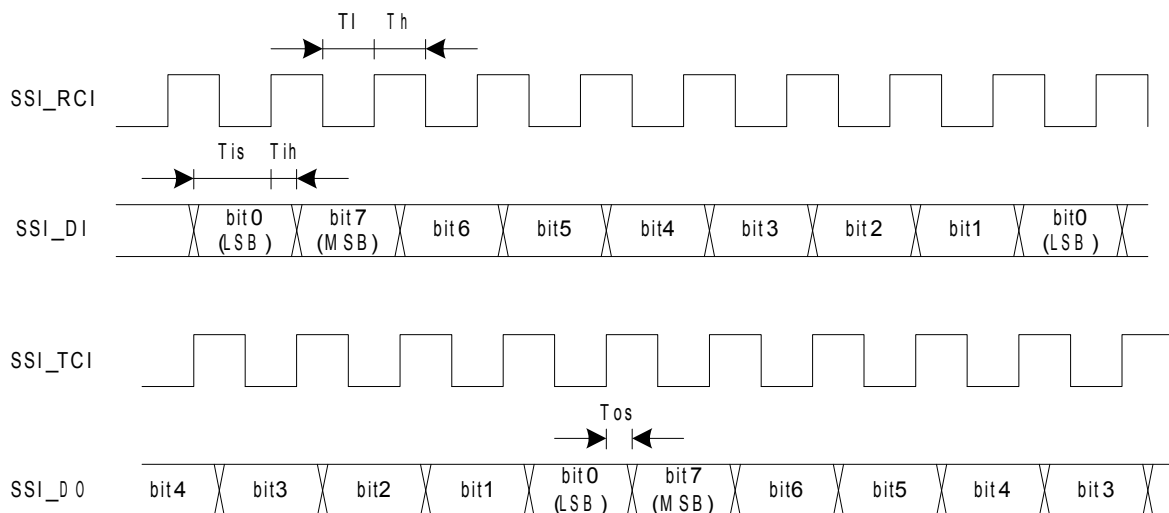


图 7-4-3-1 SSI 接口时序

表 7-4-3-1 SSI 接口时序

信号	说明	Min.	Type.	Max.
Tl	接口时钟低电平时间	16ns		
Th	接口时钟高电平时间	16ns		
Tos	时钟沿到输出数据稳定的时间	3ns		10ns
Tis	输入数据稳定到时钟沿的时间	3ns		
Tih	时钟沿到输入数据稳定的时间	3ns		

## 7.4.4 串行配置接口时序

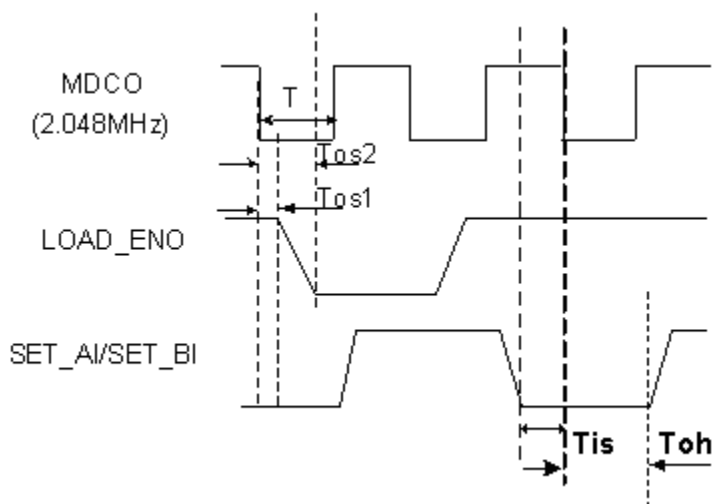


图 7-4-4-1 串行配置接口时序

表 7-4-4-1 串行配置接口时序

信号	说明	Min.	Type.	Max.
Tos1	时钟沿到输出数据稳定的最小时间	60ns		
Tos2	时钟沿到输出数据稳定的最大时间			80ns
Tis	输入数据稳定到时钟沿的时间	0		
Tih	时钟沿到输入数据稳定的时间	60ns		

### 8.封装参数

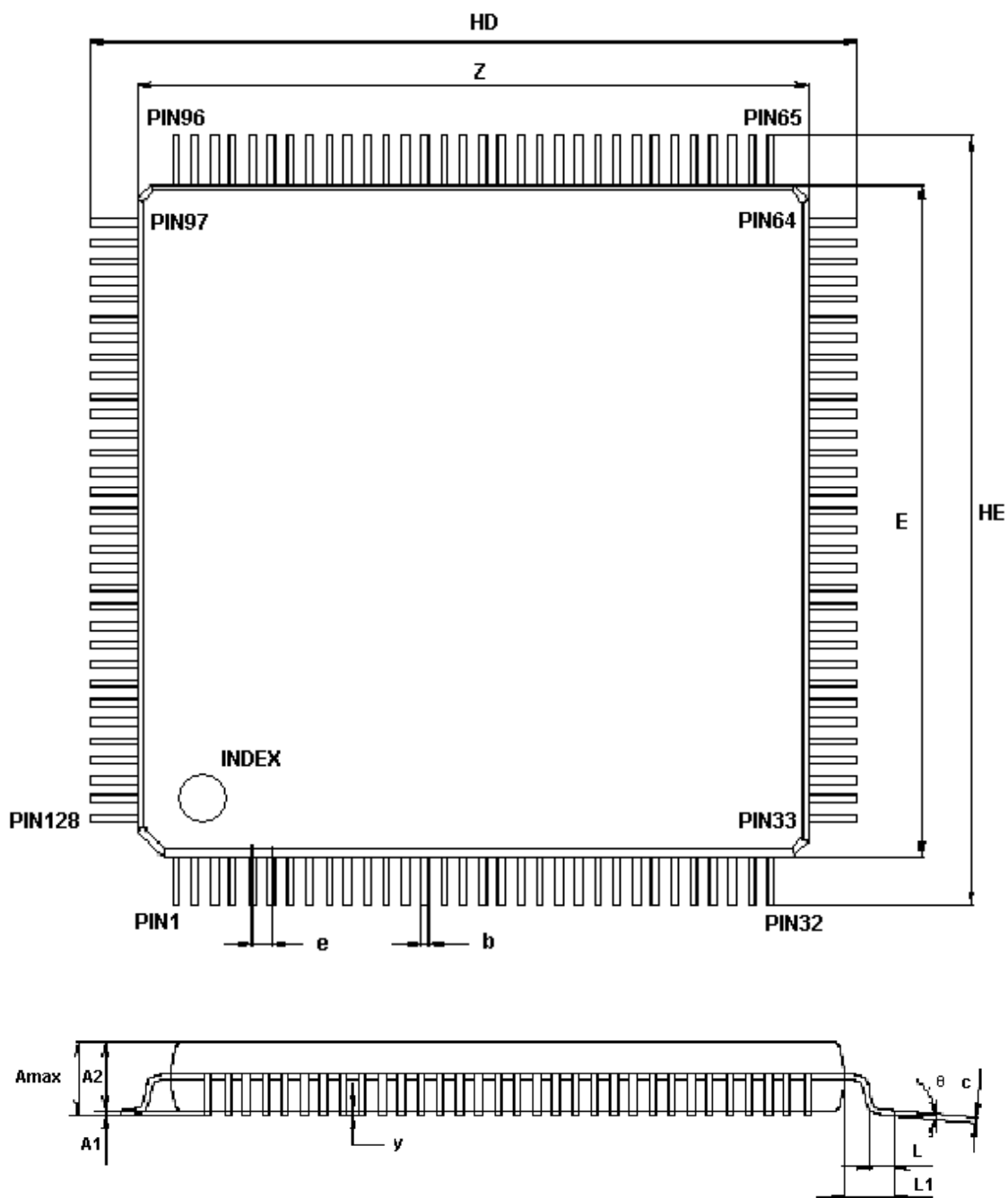


图 8-1 RC7222-A2 封装图

表 8-1 RC7222-A2 封装参数

Symbol	Dimension in Millimeter (单位: 毫米)		
	Min.	Nom.	Max.



E		14	
Z		14	
Amax			1.7
A1		0.1	
A2		1.4	
e		0.4	
b	0.13		0.23
c	0.09		0.2
$\theta$	0°		10°
L	0.3		0.75
L1		1	
HE		16	
HD		16	
y			0.08