T-77-07-09

MN8036, MN8036S

CCD 映像信号遅延素子／CCD Delay Line for Video Signal

■ 概 要

MN8036, MN8036S は，映像信号帯域内の色信号の処理に適した CCD 方式による遅延素子です。
シフトレジスタ用ドライバ，112 段 CCD アナログシフトレジスタ，電荷注入部および出力部などで構成されています。
MN8036, MN8036S は，色副搬送波と同周期（3.58MHz）のクロック入力を内部で分周することにより，1.79MHz のサンプリングを行ない，付加フィルタの遅延と合わせて，NTSC 方式における 1H（1 水平走査期間）の遅延が得られます。

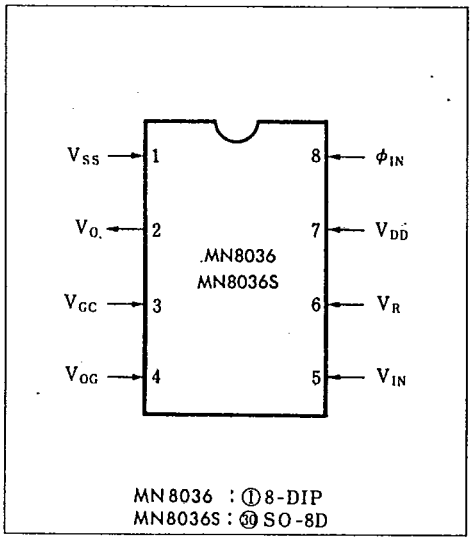
■ Description

The MN8036, MN8036S are CCD delay lines for color signal processing in the video signal area. Using the 3.58-MHz clock input, the device offers 1H (1 horizontal scan time) delay in the NTSC mode with additional filter delay.

■ 特 徴

- 高品位映像色信号の 1H 遅延
- 独特の電荷結合回路と埋込みチャンネル構造による，広い信号帯域：800kHz typ.（－3 dB）
- 高調波成分が少なく，低歪率
  高調波成分：－50dB typ.（100kHz, 400mV$_{P-P}$ 信号入力時）
- 低消費電力：45mW typ.
- 8 ピン・プラスチック DIL パッケージおよびパナフラットパッケージ

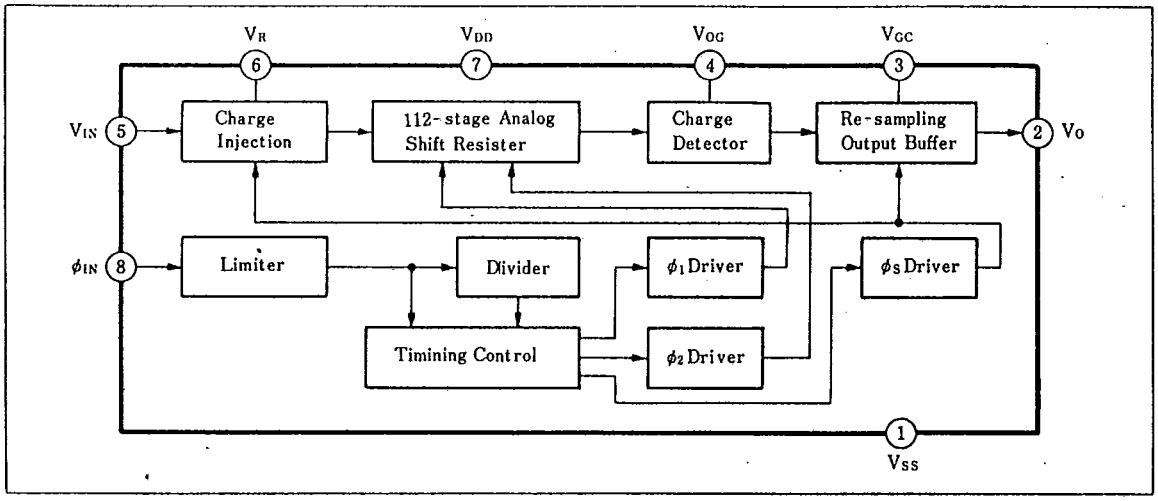
■ 端子配置図／Pin Assignment



■ 用 途

映像色信号の 1H 遅延
- 垂直輪郭補正
- SN 比改善
- くし形フィルタなど

■ ブロック図（図 1）／Block Diagram



This Material Copyrighted By Its Respective Manufacturer

■ 構成と動作説明

MN8036, MN8036S は，図1 のブロック図で示すような機能部分をもち，シフトレジスタ部は図2のような回路構成となっています。

① 電荷注入部

入力電圧として，アナログ信号が入力部 V_{IN} に加えられると，サンプリングゲート電圧が "H" のとき，入力電圧と入力基準ゲート電圧の差に応じた電荷が信号電荷として入力基準ゲート部に集まり，サンプリングゲート電圧が "L" になったとき，サンプリングが完了します。

② 112段 CCD アナログシフトレジスタ

入力基準ゲート部にサンプリングされた信号電荷は，CCD 転送線の転送クロック ϕ_1 が "H" になったとき，転送線の第1段目に転送され，以後，転送クロック ϕ_1 と ϕ_2 によって転送動作をします。

シフトレジスタの駆動波形を図3に示します。

③ 出力部

アナログシフトレジスタから送り出される信号電荷は検出部に送り込まれ電圧信号に変換されます。電圧信号は，出力部でのリサンプリングにより，サンプルホールドされてソースフォロワ増幅器から出力されます。

④ 内蔵ドライバ

色副搬送波と同周期（3.58MHz）の入力クロックがクロック入力部 ϕ_{IN} に加えられると，フリップフロップにより分周され，1.79MHz の転送クロック ϕ_1, ϕ_2 が作られます。

また，サンプリングクロック ϕ_S は，転送クロック ϕ_1 と高電位では交わらないよう，タイミングを制御された形で作られます。

⑤ 転送動作

図3に示す通り，入力部 V_{IN} において，$t=0$ と $t=\tau_C(\frac{1}{2}$ ×サンプリング周期）の間でサンプリングされた入力信号電圧は，$t=225\tau_C$ に出力端子 V_O より出力信号として現われます。

■ 絶対最大定格／Absolute Maximum Ratings (Ta=25°C)

Item	Symbol	Rating	Unit
電源電圧	V_{DD}	−0.3～+11	V
出力制御電圧	V_{GC}	−0.3～+11	V
入出力端子電圧	V_{TE}	−0.3～+11	V
動作周囲温度	T_{opr}	−20～+70	°C
保存温度	T_{stg}	−40～+100	°C

■ 動作条件／Operating Conditions (Ta=25°C)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電圧	V_{DD}		8.5	9.0	10.0	V
クロック入力	ϕ_{IN}			3.579545		MHz

■ 電気的特性／Electrical Characteristics

(V_{DD}=9.0V, V_{IN}=400mV_{PP}, fϕ_{IN}=3.579545MHz, Ta=25°C, 試験回路は図4参照)

Item	Symbol	Condition	min.	typ.	max.	Unit
電源電流	I_{DD}			5.0	8.0	mA
信号帯域	Bw	100kHz の値に対し−3dB	0.6	0.8		MHz
挿入利得	IG	fs=100kHz	2	5	8	dB
全高調波歪率	THD	fs=100kHz			2	%
SN比	S/N	信号出力(PP)/ノイズ出力(rms)	50			dB
S/Hクロック残留ノイズ出力	n c	クロックの基本波成分出力			0.6	V_{PP}
遅延時間	t_D			62.82		μs
クロック入力振幅	V_ϕ	矩形波入力（AC 結合）	1		2	V_{PP}

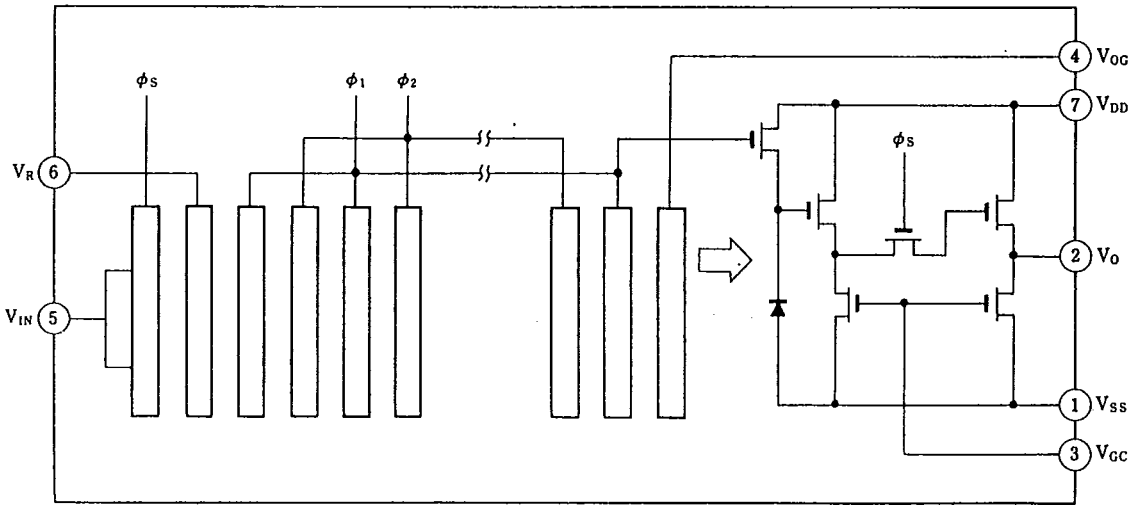
This Material Copyrighted By Its Respective Manufacturer

T-77-07-09

■ 端子説明

端子番号	記　号	端　子　名
1	V_{SS}	サブストレート接続端子（GND 端子）
2	V_O	信号出力端子
3	V_{GC}	出力バッファ制御端子
4	V_{OG}	シフトレジスタ出力ゲート端子
5	V_{IN}	信号入力端子
6	V_R	入力基準ゲート端子
7	V_{DD}	電源端子
8	ϕ_{IN}	クロック入力端子

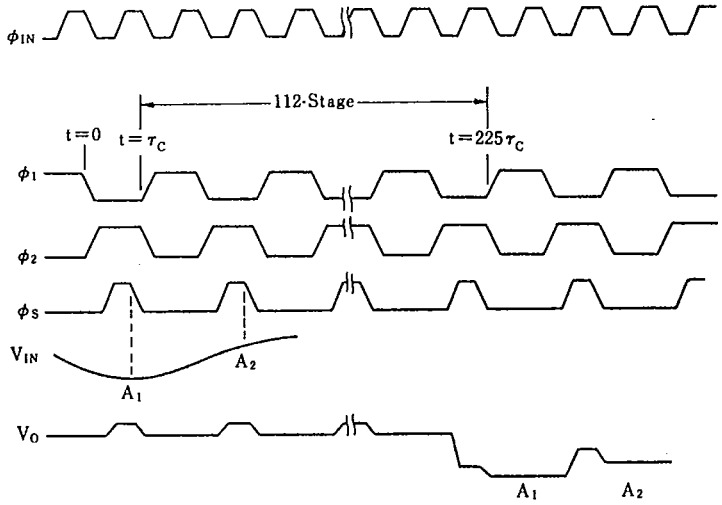
■ シフトレジスタ回路構成図（図2）／Shift Register Circuit
112段アナログシフトレジスタ／112-Stage Analog Shift Register



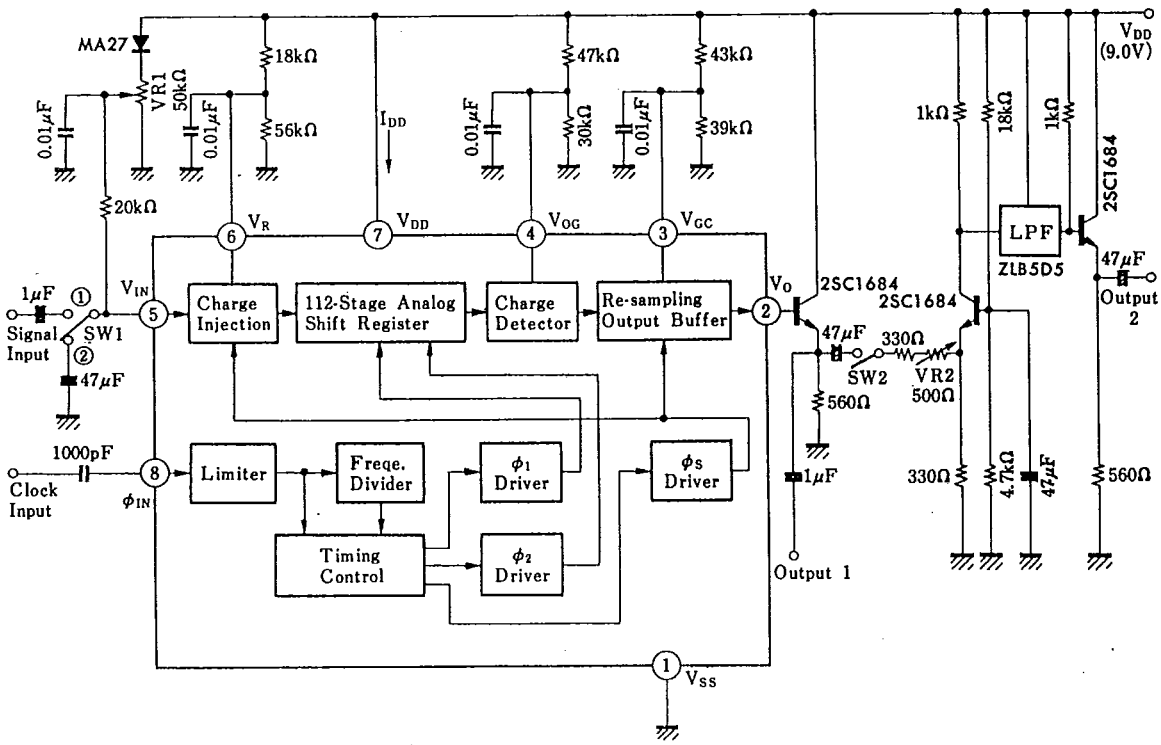
This Material Copyrighted By Its Respective Manufacturer

T-77-07-09

■ シフトレジスタ駆動波形（図3）／Shift Register Drive Timing Diagram



■ 試験回路および応用回路例（図4）／Test Circuit and Application Circuit



〔設定〕 SW1：SN比のノイズ測定時のみ②側，その他は①側
SW2：SN比測定時のみ閉，その他は開
VR1：出力1のTHDが最小になる点に設定する．
VR2：出力1と出力2とで100kHzに対するレベル差がないように設定する．
〔測定〕 S/Nのみ出力2にて測定．その他の項目は出力1にて測定．ただし，I_{DD}は7ピンを流れる平均電流．

This Material Copyrighted By Its Respective Manufacturer